

540641

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004年7月15日 (15.07.2004)

PCT

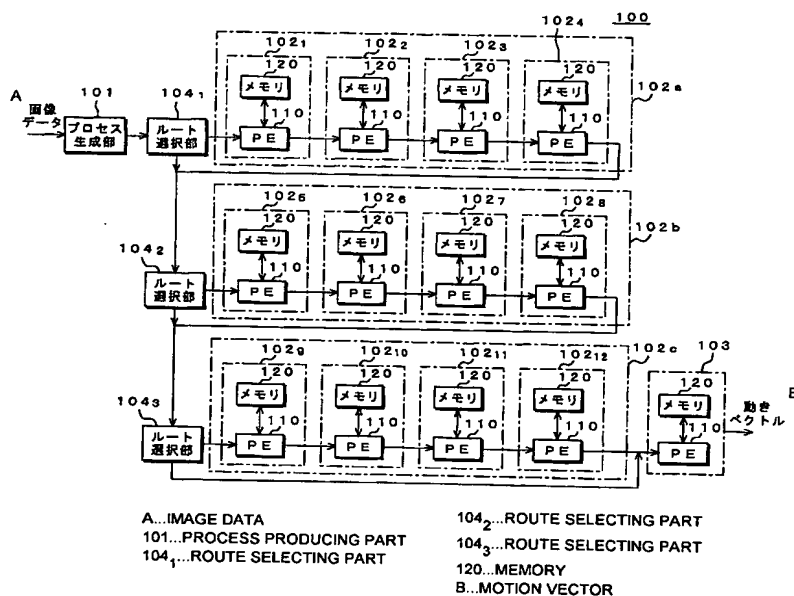
(10) 国際公開番号  
WO 2004/059576 A1

- (51) 国際特許分類<sup>7</sup>: G06T 1/20, 7/20, H04N 7/36
- (21) 国際出願番号: PCT/JP2003/015976
- (22) 国際出願日: 2003年12月12日 (12.12.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2002-374862  
2002年12月25日 (25.12.2002) JP
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 近藤 哲二郎 (KONDO, Tetsujiro) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 佐藤 浩 (SATO, Hiroshi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 山口 邦夫, 外 (YAMAGUCHI, Kunio et al.); 〒101-0047 東京都千代田区内神田1丁目15番2号 平山ビル5階 Tokyo (JP).
- (81) 指定国 (国内): CN, KR, US.
- 添付公開書類:  
— 国際調査報告書

- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: IMAGE PROCESSING APPARATUS

(54) 発明の名称: 画像処理装置



(57) Abstract: An image processing apparatus suitable for use in, for example, a motion vector determination or the like. Each of processing units (102<sub>n</sub>, where n is one to 12) receives a process packet outputted from a process producing part (101) and performs a processing in accordance with a command included in that process packet. The units (102<sub>1</sub>-102<sub>12</sub>) are divided into three groups (102a-102c), and route selecting parts (104<sub>1</sub>-104<sub>3</sub>) are provided at the respective input sides of those groups. Each of the route selecting parts (104<sub>1</sub>-104<sub>3</sub>) supplies the input process packet not to the input side of the immediately following group (102a-102c) but to the output side thereof when that group includes no units that execute the process related to the input process packet. Thus, the process packet propagates, bypassing groups in which no units that execute the process related to the process packet are existent, so that the processing time can be shortened and the power consumption can be reduced.

[続葉有]

WO 2004/059576 A1



(57) 要約: この発明は、例えば動きベクトルの検出処理等に適用して好適な画像処理装置に関する。演算処理ユニット $102_n$  ( $n=1\sim 12$ )は、プロセス生成部 $101$ より出力されるプロセスパケットを受信し、そのプロセスパケットに含まれる命令に従った処理を行う。ユニット $102_1\sim 102_{12}$ を3つの組 $102_a\sim 102_c$ に分け、各組の入力側にルート選択部 $104_1\sim 104_3$ を挿入する。ルート選択部 $104_1\sim 104_3$ の夫々は、入力プロセスパケットに係るプロセスを実行するユニットが、直後に位置する組 $102_a\sim 102_c$ に存在しないとき、当該入力プロセスパケットを、その組の入力側ではなく、その組の出力側に供給する。プロセスパケットは、それに係るプロセスを実行するためのユニットが存在しない組をバイパスして移動し、従って処理時間を短縮でき、また消費電力を低減できる。

## 明 細 書

## 画像処理装置

## 5 技術分野

この発明は、例えば動きベクトルの検出処理等に適用して好適な画像処理装置に関する。

詳しくは、この発明は、画像処理を行うための各プロセスを実行する命令を含むプロセスデータを、プロセスを実行する直列接続された複数個の実行手段を移動させていって画像処理を行うものにあつて、所定数の連続する実行手段の組毎に、その入力側にルート選択手段を挿入し、ルート選択手段は、入力プロセスデータに係るプロセスを直後に位置する組を構成する実行手段で実行しないときは、当該入力プロセスデータを当該直後に位置する組の出力側に供給することによって、処理時間の短縮および消費電力の低減を図るようにした画像処理装置に係るものである。

また、この発明は、画像処理を行うための各プロセスを実行する命令を含むプロセスデータを、プロセスを実行する直列接続された複数個の実行手段を移動させていって画像処理を行うものにあつて、実行手段は、入力プロセスデータに係るプロセスを自己が実行しないときは、当該入力プロセスデータを直ちに出力プロセスデータとして出力することによって、処理時間の短縮を図るようにした画像処理装置に係るものである。

## 背景技術

例えば、画像符号化方式としてのMPEG (Moving Picture Experts Group) では、ある大きさのブロックのうちの、注目している注目ブロックについて、動きベクトルが検出され、さらに、その動きベクトルに基づいて動き補償が行われることで、注目ブロックの予測画像が求められる。そして、MPEGでは、注目ブロックの各画素と、予測画像の対応する画素との差分が演算され、その差分値が符号化されることで、高能率圧縮が実現されている。

動きベクトルの検出アルゴリズムとしては、例えば、ブロックマッチング法が知られている。

例えば、いま、図1に示すように、第 $f$ フレームのあるブロックを、注目ブロックとするとともに、第 $f+1$ フレームを、動きベクトルの検出のために参照する参照フレームとして、第 $f+1$ フレームから第 $f$ フレームに向かう動きベクトルを、注目ブロックの動きベクトルとして検出する場合、ブロックマッチング法では、第 $f+1$ フレームの、注目ブロックの位置を中心とする所定の範囲が、動きベクトルの探査を行う探査範囲として設定される。さらに、第 $f+1$ フレームの探査範囲から、注目ブロックと同一の大きさのブロックが、注目ブロックの予測画像の候補である候補ブロックとして選択され、注目ブロックと候補ブロックとの差分に関する差分情報が求められる。

すなわち、例えば、注目ブロックおよび候補ブロックが、横×縦が $4 \times 4$ 画素のブロックであるとする、図2に示すように、注目ブロックの各画素と、候補ブロックの対応する画素との差分が求められ、その差分の絶対値（差分絶対値）が求められる。さらに、その差分絶対値の総和が求められ、探査範囲に選択し得る候補ブロックの全てについて、上述のような差分絶対値の総和が求められる。

そして、探査範囲に選択しうる候補ブロックの中で、差分絶対値の総和を最小にする候補ブロック（以下、適宜、「最小候補ブロック」という）が求められ、その最小候補ブロックから注目ブロックに向かうベクトルが、注目ブロックの動きベクトルとして求められる。

なお、探査範囲としては、注目ブロックおよび候補ブロックよりも大きな範囲が用いられ、注目ブロックおよび候補ブロックが、上述したように、 $4 \times 4$ 画素のブロックであるとする、例えば、 $30 \times 30$ 画素乃至 $50 \times 50$ 画素程度の範囲が、探査範囲として用いられる。

図3は、ブロックマッチング法により動きベクトルを求める、従来の動きベクトル検出装置の一例の構成を示している。

図3の動きベクトル検出装置は、画像データを記憶する画像メモリ201と、その画像データを用いて演算を行うことにより動きベクトルを求める動きベクトル抽出部202とから構成されている。画像メモリ201と、動きベクトル抽出

部 202 とは、データベースを介して接続されている。

以上のように構成される動きベクトル検出装置では、画像メモリ 201 に、注目フレームと参照フレームの画像データが記憶される。そして、動きベクトル抽出部 202 は、画像メモリ 201 から、注目ブロックと候補ブロックを、データベースを介して読み出し、その注目ブロックと候補ブロックとの差分絶対値の総和を求める。さらに、動きベクトル抽出部 202 は、探査範囲内に選択しうる候補ブロックの中で、差分絶対値の総和を最小にする候補ブロック（最小候補ブロック）を求め、その最小候補ブロックから注目ブロックに向かうベクトルを、注目ブロックの動きベクトルとして求めて出力する。

図 3 の動きベクトル検出装置において、動きベクトルを検出する場合、画像メモリ 201 からは、頻繁に、大量の画像データが読み出され、データベースを介して、動きベクトル抽出部 202 に供給される。

一方、画像データを記憶する画像メモリ 201 は、一般に、複数個のメモリ（半導体メモリ）で構成される。すなわち、図 3 では、画像メモリ 201 は、6 個のメモリ 201<sub>1</sub>～201<sub>6</sub>で構成されている。

画像メモリ 201 を構成するメモリ 201<sub>1</sub>～201<sub>6</sub>のそれぞれは、比較的広い面積を占有するから、メモリ 201<sub>1</sub>～201<sub>6</sub>のそれぞれから、動きベクトル抽出部 202 に画像データを転送するには、メモリ 201<sub>1</sub>～201<sub>6</sub>のそれぞれと動きベクトル抽出部 202 とを結ぶデータベースとしては、比較的長いものが必要となる。そして、長いデータベースを駆動する場合には、種々の問題が生じることとなる。

具体的には、データベースが長い場合、そのデータベースを構成する配線と基板との間の容量が大になり、データの転送に、大きな遅延（配線遅延）が生じる。さらに、データベースを構成する配線どうしの間に生じる容量によって、配線どうしの間に、クロストークが生じることとなる。そして、近年においては、半導体プロセスの微細化が進行しており、配線の間のクロストークが大きな問題となってきた。

すなわち、半導体プロセスの微細化により、配線どうしの間隔が狭くなると、配線の抵抗（配線抵抗）が大となるから、これを防止するために、配線の厚さを

厚くする必要がある。そして、配線どうしの間隔が狭くなり、かつ配線の厚さが厚くなると、配線どうしの間の容量が大となり、クロストークを無視することができなくなる。

さらに、従来においては、配線について生じる配線容量については、配線と基板との間の容量を考慮すれば良く、また、基板の電位は一定なので、画像メモリ 201 のシミュレーションを行う場合に、配線容量は、それほど大きな問題とならなかった。

しかしながら、配線容量として、上述のように、配線どうしの間の容量が大となって支配的になると、注目している配線に隣接した配線における信号遷移の仕方によって、注目している配線の見かけの容量が変化し、配線遅延も変化することから、シミュレーションを行うことが困難となる。

また、画像メモリ 201 のデータバスが長いと、その配線端での反射による信号波形の乱れが顕著になる。

そこで、図 4 に示すように、画像メモリ 201 と動きベクトル抽出部 202 との間に、キャッシュメモリ 203 を設けて、動きベクトル検出装置を構成する方法がある。

図 4 の動きベクトル検出装置において、キャッシュメモリ 203 は、動きベクトル抽出部 202 で頻繁に用いられる画像データを、画像メモリ 201 から読み出して記憶する。そして、動きベクトル抽出部 202 は、キャッシュメモリ 203 に記憶された画像データを用い、ブロックマッチング法により動きベクトルを求める。

図 4 の動きベクトル検出装置では、画像メモリ 201 からキャッシュメモリ 203 に転送されて記憶された画像データについては、画像メモリ 201 から読み出す必要がないので、長いデータバスを介して画像メモリ 201 から画像データを読み出す際の、上述した問題の頻度を低減することができる。

しかしながら、この場合、画像メモリ 201 とは別に、キャッシュメモリ 203 という冗長なメモリが必要となり、そのオーバーヘッドが問題となる。

そこで、本出願人は、先に、動きベクトルの検出処理を行うための各プロセスを実行する命令を含むプロセスデータを、プロセスを実行する直列接続された複

数個の実行手段を移動させていって画像処理を行うものを提案した（特願2002-236877号参照）。これによれば、例えば、長いデータバスやキャッシュメモリの不要な設計容易なハードウェアによって、動きベクトルを検出することができる。

5

#### 発明の開示

この発明は、上述したように、プロセスデータをプロセスを実行する直列接続された複数個の実行手段を移動させていって画像処理を行うものにあつて、さらに処理時間の短縮を図ることを目的とする。

- 10 この発明に係る画像処理装置は、画像データを取り扱う画像処理を行うための各プロセスを生成し、この各プロセスを実行する命令を含むプロセスデータを順次出力するプロセス生成手段と、プロセスデータに従ってプロセスを実行する、直列接続された複数個の実行手段とを備え、プロセスデータは、このプロセスデータに係るプロセスを実行するための実行手段のアドレスを含み、所定数の連続する実行手段の組毎に、この組の入力側に、入力プロセスデータをこの組の入力側または出力側に選択的に供給するルート選択手段が挿入されるものである。そして、ルート選択手段は、直後に位置する組を構成する各実行手段のアドレスを記憶する第1のアドレス記憶手段と、入力プロセスデータに含まれる実行手段のアドレスに第1のアドレス記憶手段に記憶されているアドレスの少なくともいずれかが存在するとき一の状態となる判定信号を出力する第1のアドレス判定手段と、この第1のアドレス判定手段より出力される判定信号に基づき、判定信号が一の状態であるとき、入力プロセスデータを直後に位置する組の入力側に供給し、判定信号が一の状態でないとき、入力プロセスデータを直後に位置する組の出力側に供給する第1の切り換え手段とを有するものである。

- 25 この発明において、プロセス生成手段は、画像データを取り扱う画像処理を行うための各プロセスを生成し、この各プロセスを実行する命令を含むプロセスデータを順次出力する。このように順次出力されるプロセスデータがプロセスを実行する直列接続された複数個の実行手段を移動していくことで、画像処理が行われる。画像処理は、例えば動きベクトルを検出するための画像処理である。

複数個の実行手段は、所定数の連続する実行手段の組に分けられる。そして、各組毎に、その組の入力側に、入力プロセスデータをその組の入力側または出力側に選択的に供給するルート選択手段が挿入される。

5 ルート選択手段は、直後に位置する組を構成する各実行手段のアドレスを記憶する第1のアドレス記憶手段を有している。また、プロセスデータは、そのプロセスデータに係るプロセスを実行するための実行手段のアドレスを含んでいる。

10 ルート選択手段は、入力プロセスデータに含まれる実行手段のアドレスにアドレス記憶手段に記憶されているアドレスの少なくともいずれかが存在するとき、入力プロセスデータを直後に位置する組の入力側に供給し、そうでないときは入力プロセスデータを直後に位置する組の出力側に供給する。

これにより、プロセスデータは、そのプロセスデータに係るプロセスを実行するための実行手段が存在しない組をバイパスして移動していくので、処理時間を短縮できる。また、プロセスデータの無駄な移動がなくなるので、消費電力を低減できる。

15 また、この発明に係る画像処理装置は、画像データを取り扱う画像処理を行うための各プロセスを生成し、この各プロセスを実行する命令を含むプロセスデータを順次出力するプロセス生成手段と、プロセスデータに従ってプロセスを実行する、直列接続された複数個の実行手段とを備え、プロセスデータは、このプロセスデータに係るプロセスを実行するための実行手段のアドレスを含むものである。そして、複数個の実行手段のそれぞれは、入力プロセスデータに含まれる命令に従って画像データの処理を行って、その処理結果に基づいて入力プロセスデータを  
20 変更して出力すべきプロセスデータを得ると共に、この出力すべきプロセスデータを出力するとき一の状態となる要求信号を出力する処理手段と、自己のアドレスを記憶するアドレス記憶手段と、入力プロセスデータに含まれる実行手段のアドレスにアドレス記憶手段に記憶されている自己のアドレスが存在するとき一の状態となる判定信号を出力するアドレス判定手段と、このアドレス判定手段より出力される判定信号および処理手段より出力される要求信号に基づき、要求信号が一の状態であるとき、処理手段で得られた出力すべきプロセスデータを出力プロセスデータとして出力し、要求信号が一の状態でなく、かつ判定信号が



一の状態でないとき、入力プロセスデータを出力プロセスデータとして出力する切り換え手段とを有するものである。

この発明において、プロセス生成手段は、画像データを取り扱う画像処理を行うための各プロセスを生成し、この各プロセスを実行する命令を含むプロセスデータを順次出力する。このように順次出力されるプロセスデータがプロセスを実行する直列接続された複数個の実行手段を移動していくことで、画像処理が行われる。プロセスデータは、そのプロセスデータに係るプロセスを実行するための実行手段のアドレスを含んでいる。

複数個の実行手段のそれぞれは、例えば画像データを記憶するデータ記憶手段をさらに有し、画像データの処理として、データ記憶手段への画像データの書き込み、このデータ記憶手段からの画像データの読み出し、または画像データの差分の演算のうちいずれかの処理を行う。画像処理は、例えば動きベクトルを検出するための画像処理である。

複数個の実行手段のそれぞれは、処理手段、アドレス記憶手段、アドレス判定手段および切り換え手段を有している。処理手段は、入力プロセスデータに含まれる命令に従って画像データの処理を行って、その処理結果に基づいて入力プロセスデータを変更して出力すべきプロセスデータを得ると共に、この出力すべきプロセスデータを出力するとき一の状態となる要求信号を出力する。アドレス判定手段は、入力プロセスデータに含まれる実行手段のアドレスに、アドレス記憶手段に記憶されている自己のアドレスが存在するとき一の状態となる判定信号を出力する。

そして、切り換え手段は、要求信号が一の状態であるとき、処理手段で得られた出力すべきプロセスデータを出力プロセスデータとして出力し、要求信号が一の状態でなく、かつ判定信号が一の状態でないとき、入力プロセスデータを出力プロセスデータとして出力する。

これにより、プロセスデータは、そのプロセスデータに係るプロセスを実行するものではない実行手段に入力されたとき、直ちに次の実行手段に移動するようにされるので、処理時間を短縮できる。

なお、切り換え手段は、要求信号が一の状態でなく、かつ判定信号が一の状態

であるときは、ハイレベルまたはローレベルのデータを出力するようにしてもよい。この場合、実行手段に入力されるプロセスデータに係るプロセスが、その実行手段で実行される。入力プロセスデータを後段に供給しない場合および処理手段からの出力すべきプロセスデータを後段に供給しない状態では、ハイレベルまたはローレベルのデータが出力されるので、後段に誤ったプロセスデータが供給されることを防止できる。

#### 図面の簡単な説明

- 図 1 は、ブロックマッチング法を説明する図である。
- 10 図 2 は、ブロックマッチング法を説明する図である。
- 図 3 は、従来の動きベクトル検出装置の一例の構成を示すブロック図である。
- 図 4 は、従来の動きベクトル検出装置の他の一例の構成を示すブロック図である。
- 図 5 は、実施の形態としての動きベクトル検出装置の構成を示すブロック図である。
- 15 図 6 は、プロセスパケットのフォーマットを示す図である。
- 図 7 は、プロセス生成処理を説明するためのフローチャートである。
- 図 8 は、ルート選択部の構成例を示すブロック図である。
- 図 9 は、演算ユニットの構成例を示すブロック図である。
- 20 図 10 は、判定信号  $s_1$ 、要求信号  $s_2$  と切換スイッチの切り換えの関係を示す図である。
- 図 11 は、演算部のプロセス実行処理を説明するフローチャートである。
- 図 12 は、演算部のプロセス実行処理（書き込み命令の場合）を説明するための図である。
- 25 図 13 A 及び図 13 B は、メモリに画像データが書き込まれた状態を示す図である。
- 図 14 は、演算部のプロセス実行処理（読み出し命令の場合）を説明するための図である。
- 図 15 は、演算部のプロセス実行処理（差分絶対値和演算命令の場合）を説明

するための図である。

図16は、演算処理ユニットの処理を説明するための図である。

図17A及び図17Bは、プロセスパケットの変化を示す図である。

## 5 発明を実施するための最良の形態

以下、この発明の実施の形態を図面を参照して説明する。

図5は、実施の形態としての動きベクトル検出装置100の構成を示している。この動きベクトル検出装置100では、上述したブロックマッチング法によって動きベクトルが検出される。

- 10 この動きベクトル検出装置100は、プロセス生成部101を有している。このプロセス生成部101は、動きベクトルを検出する処理を行うための各プロセスを生成し、その各プロセスを実行する命令を含むパケットであるプロセスパケット（プロセスデータ）を順次出力する。このプロセス生成部101には動きベクトルの検出対象である画像データが供給される。プロセス生成部101は、必要に応じて、プロセスパケットにその画像データも配置する。

- また、動きベクトル検出装置100は、プロセスパケットに従ってプロセスを実行する、直列接続された複数個、本実施の形態では12個の演算処理ユニット102<sub>1</sub>～102<sub>12</sub>を有している。演算処理ユニット102<sub>1</sub>～102<sub>12</sub>は、それぞれ実行手段を構成している。これら12個の演算処理ユニット102<sub>1</sub>～102<sub>12</sub>は、プロセス生成部101の後段に接続されている。

- 演算処理ユニット102<sub>n</sub>（ $n=1\sim 12$ ）は、前段の演算処理ユニット102<sub>n-1</sub>（またはルート選択部）から供給されるプロセスパケットを受信し、そのプロセスパケットに含まれる命令にしたがった処理を行う。また、演算処理ユニット102<sub>n</sub>は、必要に応じて、その処理結果を、プロセスパケットに配置し、後段の演算処理ユニット102<sub>n+1</sub>（またはルート選択部、または集計部）に供給する。これにより、最後の演算処理ユニット102<sub>12</sub>は、後述するように、注目ブロックとある候補ブロックとの差分絶対値の総和を配置したプロセスパケットを出力する。ルート選択部および集計部については後述する。

また、動きベクトル検出装置100は、3個のルート選択部104<sub>1</sub>～104<sub>3</sub>。

を有している。上述の12個の演算処理ユニット102<sub>1</sub>~102<sub>12</sub>は、4個の連続する演算処理ユニットの組に分けられる。すなわち、ユニット102<sub>1</sub>~102<sub>4</sub>の組102aと、ユニット102<sub>5</sub>~102<sub>8</sub>の組102bと、ユニット102<sub>9</sub>~102<sub>12</sub>の組102cとに分けられる。上述した3個のルート選択部104<sub>1</sub>~104<sub>3</sub>は、それぞれ組102a~102cの入力側に挿入される。なお、組の個数は3個でなくてもよく、また各組を構成する演算処理ユニット102<sub>n</sub>の個数は同じでなくてもよい。

ルート選択部104<sub>1</sub>~104<sub>3</sub>のそれぞれは、入力プロセス packets を、直後に位置する組102a~102cの入力側または出力側に選択的に供給する。つまり、ルート選択部104<sub>1</sub>~104<sub>3</sub>のそれぞれは、入力プロセス packets に係るプロセスを実行する演算処理ユニット102<sub>n</sub>が、直後に位置する組102a~102cに存在するとき、その入力プロセス packets をその組の入力側に供給し、そうでないときその入力プロセス packets をその組の出力側に供給する。

また、動きベクトル検出装置100は、集計部103を有している。この集計部103は、最後の演算処理ユニット102<sub>12</sub>の出力側に接続されており、この演算処理ユニット102<sub>12</sub>が出力するプロセス packets に配置された注目ブロックと候補ブロックとの差分絶対値の総和から、動きベクトルを求めて出力する。

ここで、上述したプロセス生成部101より出力されて、演算処理ユニット102<sub>1</sub>~102<sub>12</sub>を移動していく、プロセス packets のフォーマットを説明する。図6は、プロセス packets のフォーマット例を示している。

プロセス packets は、例えば、その先頭から、処理ユニットアドレス部、PID (Process Identification) 部、状態部、命令部、アドレス部、データ部が、順次設けられて構成されている。

処理ユニットアドレス部には、当該プロセス packets に係るプロセスを実行するための一個または複数個の演算処理ユニットのアドレスが配置される。

PID部には、PIDが配置される。ここで、PIDとしては、ある注目ブロックの動きベクトルを求めるまでに行うべき個々のプロセスを区別することができる情報であれば、どのような情報でも採用することが可能である。すなわち、PIDとして、例えば、注目ブロックの位置を表すアドレスと、候補ブロックの

位置を表すアドレスとの組み合わせなどを採用することが可能である。

また、注目ブロックに対する候補ブロックに、例えば通し番号となるような番号情報を与えておく場合には、PIDとして、その番号情報を採用することが可能である。なお、PIDとして、番号情報を採用する場合、集計部103において、全ての通し番号のプロセスパケットが揃うことにより、ある注目ブロックについて、探査範囲で選択可能なすべての候補ブロックとの間の差分絶対値和の総和が得られたことを認識することが可能となる。

状態部は、例えば、画像書き込み状態部、画像読み出し状態部、注目ブロック読み出し状態部、候補ブロック読み出し状態部、差分絶対値演算状態部から構成される。

画像書き込み状態部には、後述する演算処理ユニット102<sub>a</sub>のメモリ120に対して、ある画像データの書き込みが、まだ行われていないことを表す状態情報「未」、その画像データの書き込みが行われている途中であることを表す状態情報「中」、その画像データの書き込みが終了したことを表す状態情報「終」のうちのいずれかがセットされる。

すなわち、例えば、いま、演算処理ユニット102<sub>a</sub>を構成するメモリ120を、メモリ120<sub>a</sub>と表すこととして、ある画像データを、例えば、演算処理ユニット102<sub>a</sub>のメモリ120<sub>a</sub>と演算処理ユニット102<sub>b</sub>のメモリ120<sub>b</sub>の2つに分けて書き込む場合を考えると、メモリ120<sub>a</sub>とメモリ120<sub>b</sub>のいずれにも画像データが書き込まれていない場合、画像書き込み状態部には、状態情報「未」がセットされる。また、メモリ120<sub>a</sub>とメモリ120<sub>b</sub>のうちのいずれか一方だけに画像データが書き込まれた場合、画像書き込み状態部には、状態情報「中」がセットされる。さらに、メモリ120<sub>a</sub>とメモリ120<sub>b</sub>の両方に画像データが書き込まれた場合、画像書き込み状態部には、状態情報「終」がセットされる。

なお、状態部にセットされる状態情報は、演算処理ユニット102<sub>a</sub>に対して、画像データの書き込みなどの状態がどのようなになっているかを知らせるメッセージの役割を果たす。

画像読み出し状態部には、メモリ120からの、ある画像データの読み出しが、まだ行われていないことを表す状態情報「未」、その画像データの読み出しが行

われている途中であることを表す状態情報「中」、その画像データの読み出しが終了したことを表す状態情報「終」のうちのいずれかがセットされる。

注目ブロック読み出し状態部には、メモリ 120 からの、注目ブロックの画像データの読み出しが、まだ行われていないことを表す状態情報「未」、注目ブロックの画像データの読み出しが行われている途中であることを表す状態情報「中」、注目ブロックの画像データの読み出しが終了したことを表す状態情報「終」のうちのいずれかがセットされる。

候補ブロック読み出し状態部には、メモリ 120 からの、候補ブロックの画像データの読み出しが、まだ行われていないことを表す状態情報「未」、候補ブロックの画像データの読み出しが行われている途中であることを表す状態情報「中」、候補ブロックの画像データの読み出しが終了したことを表す状態情報「終」のうちのいずれかがセットされる。

差分絶対値演算状態部には、ある注目ブロックと候補ブロックとの差分絶対値の総和（差分絶対値和）の演算が、まだ行われていないことを表す状態情報「未」、差分絶対値和の演算が行われている途中であることを表す状態情報「中」、差分絶対値和の演算が終了したことを表す状態情報「終」のうちのいずれかがセットされる。

ここで、状態情報は、例えば、2ビットとし、「未」、「中」、「終」には、それぞれ「11」、「10」、「00」を割り当てることができる。

命令部には、行うべき処理を指示する命令が配置される。ここで、命令としては、例えば、メモリ 120 への画像データの書き込みを指示する書き込み命令、メモリ 120 からの画像データの読み出しを指示する読み出し命令、注目ブロックと候補ブロックとの差分絶対値和の演算を指示する差分絶対値和演算命令、各候補ブロックについて求められた差分絶対値和のうちの最小値を求め、その最小値に基づいて、注目ブロックの動きベクトルを求めることを指示する最小値判定命令の 4 つの命令が、少なくとも用意されている。

なお、命令が、上述の書き込み命令、読み出し命令、差分絶対値和演算命令、および最小値判定命令の 4 ( $=2^2$ ) つである場合には、命令部は、2ビットで十分である。ただし、命令部は、将来の命令の種類の拡張も考慮して、2ビットよ

り多い、例えば、4ビットなどとしておくことが望ましい。

アドレス部は、フィールド指定部、読み出しアドレス部、書き込みアドレス部、注目ブロックアドレス部、候補ブロックアドレス部から構成される。

5      フィールド指定部には、候補ブロックのフィールドを表すフィールド情報がセットされる。すなわち、本実施の形態では、後述するように、演算処理ユニット102のメモリ120に、5フィールドの画像データが記憶されるが、フィールド指定部には、そのメモリ120に記憶された画像データのうち、候補ブロックが存在するフィールドを表すフィールド情報がセットされる。なお、5フィールドの画像データを記憶する場合、フィールド情報は、3ビットで十分であるが、  
10    将来の拡張を考慮して、3ビットより多い、例えば、4ビットなどとするのが望ましい。

読み出しアドレス部には、メモリ120から画像データを読み出す場合に、すなわち、命令部に読み出し命令がセットされている場合に、その画像データを読み出すメモリ120のアドレスが配置される。

15    書き込みアドレス部には、メモリ120に画像データを書き込む場合に、すなわち、命令部に書き込み命令がセットされている場合に、その画像データを書き込むメモリ120のアドレスが配置される。

注目ブロックアドレス部には、注目ブロックのアドレスが配置される。ここで、注目ブロックのアドレスとしては、例えば、その注目ブロックのフィールド（注目フィールド）における、注目ブロックの左上の画素の位置を表す位置情報を採用することができる。したがって、例えば、1フィールドが、 $720 \times 240$ 画素で構成されると共に、注目ブロックが、 $4 \times 2$ 画素で構成されるものとする、  
20    注目ブロックのアドレスは、 $21600 (= 720 / 4 \times 240 / 2)$ 通りが存在するから、15ビットで表すことができる。

25    候補ブロックアドレス部には、候補ブロックのアドレスが配置される。ここで、候補ブロックのアドレスとしては、例えば、その候補ブロックのフィールド（参照フィールド）における、候補ブロックの左上の画素の位置を表す位置情報を採用することができる。従って、例えば、上述のように、1フィールドが、 $720 \times 240$ 画素で構成されるものとする、候補ブロックのアドレスは、1728

00 (=720×240) 通りが存在するから、18ビットで表すことができる。

データ部は、注目ブロックデータ部、候補ブロックデータ部、差分絶対値和部、候補ベクトル部から構成される。

5 注目ブロックデータ部には、注目ブロックの画像データ、即ち、注目ブロックを構成する画素（の画素値）が配置される。従って、例えば、上述のように、注目ブロックが、4×2画素で構成されるものとし、また、1画素に、例えば、8ビットが割り当てられているとした場合には、注目ブロックデータ部は、64 (=4×2×8) ビットで構成されることになる。

10 候補ブロックデータ部には、候補ブロックの画像データ、即ち、候補ブロックを構成する画素が配置される。従って、候補ブロックが、例えば、上述のように、注目ブロックと同様の4×2画素で構成されるものとし、また、1画素に、例えば、8ビットが割り当てられているとした場合には、候補ブロックデータ部は、注目ブロックデータ部と同様に、64 (=4×2×8) ビットで構成されることになる。

15 差分絶対値和部には、注目ブロックと候補ブロックの差分絶対値和が配置される。ここで、上述のように、例えば、1画素に8ビットが割り当てられている場合、注目ブロックのある画素とその画素に対応する候補ブロックの画素の差分絶対値は、9ビットで表される。

20 候補ベクトル部には、候補ブロックから注目ブロックに向かうベクトルが、注目ブロックの動きベクトルの候補（候補ベクトル）として配置される。なお、候補ベクトルは、注目ブロックアドレス部に配置された注目ブロックのアドレスと、候補ブロックアドレス部に配置された候補ブロックのアドレスとから求めることが可能である。また、例えば、いま、探査範囲を、63×63画素以下とすると、候補ベクトルのx方向（横方向）成分と、y方向（縦方向）成分は、いずれも、  
25 6ビットで表すことができるから、候補ベクトル部は、12 (=6+6) ビットで構成することができる。

次に、図7のフローチャートを参照して、上述したプロセス生成部101が、ある1つのブロックを注目ブロックとして、その注目ブロックの動きベクトルを検出するために行う処理（プロセス生成処理）について説明する。



まず最初に、ステップS 1において、プロセス生成部101は、注目ブロックが存在する注目フィールドのうちの注目ブロックの画像データと、候補ブロックが存在する参照フィールドのうちの探索範囲の画像データとを、少なくとも、メモリ120に書き込む書き込みプロセスの一部または全部を生成し、その書き込みプロセスを実行する書き込み命令を含むプロセスパケットを生成して、ステップS 2に進む。

なお、プロセス生成部101は、ステップS 1において、図6に示したプロセスパケットの命令部に書き込み命令を配置する他、メモリ120に書き込む注目ブロックや候補ブロックの画像データを、注目ブロックデータ部や候補ブロックデータ部に配置すると共に、その画像データを書き込むメモリ120のアドレスを、書き込みアドレス部に配置する。

また、プロセス生成部101は、処理ユニットアドレス部に、その書き込みプロセスを実行する一個または複数個の演算処理ユニット102のアドレスを配置する。さらに、プロセス生成部101は、必要に応じて、プロセスパケットの状態部に、状態情報を配置する。

ステップS 2では、プロセス生成部101は、直前のステップS 1で生成したプロセスパケットを出力して、ステップS 3に進む。

ステップS 3では、プロセス生成部101は、必要な画像データ、すなわち、ここでは、注目ブロックの画像データと、候補ブロックが存在する参照フィールドのうちの探索範囲の画像データとを、少なくとも、メモリ120に書き込むためのプロセスの全てを生成したかどうかを判定する。ステップS 3において、必要な画像データをメモリ120に書き込むためのプロセスの全てを、まだ生成していないと判定した場合、ステップS 1に戻り、プロセス生成部101は、必要な画像データをメモリ120に書き込むためのプロセスのうち、まだ書き込まれていない画像データを書き込むためのプロセスを生成し、以下、同様の処理を繰り返す。

また、ステップS 3において、プロセス生成部101は、必要な画像データをメモリ120に書き込むためのプロセスの全てを生成したと判定した場合、ステップS 4に進む。ステップS 4では、プロセス生成部101は、探索範囲内に選

択し得るある候補ブロックから、注目ブロックへのベクトル（候補ベクトル）について、注目ブロックと候補ブロックとの差分絶対値和を求めるための差分絶対値和演算プロセスを生成し、その差分絶対値和演算プロセスを実行する差分絶対値和演算命令を含むプロセス packets を生成して、ステップ S 5 に進む。

5       なお、プロセス生成部 101 は、ステップ S 4 において、図 6 に示したプロセス packets の命令部に差分絶対値和演算命令を配置する他、メモリ 120 に書き込まれた注目ブロックや候補ブロックのアドレスを、注目ブロックアドレス部や候補ブロックアドレス部に配置するとともに、候補ベクトルを、候補ベクトル部に配置する。

10       また、プロセス生成部 101 は、処理ユニットアドレス部に、その差分絶対値和演算プロセスを実行する一個または複数の演算処理ユニット 102<sub>n</sub>のアドレスを配置する。さらに、プロセス生成部 101 は、候補ブロックのフィールドを表すフィールド情報を、フィールド指定部に配置すると共に、必要に応じて、プロセス packets の状態部に、状態情報を配置する。

15       ステップ S 5 では、プロセス生成部 101 は、直前のステップ S 4 で生成したプロセス packets を出力して、ステップ S 6 に進む。

ステップ S 6 では、プロセス生成部 101 は、注目ブロックの探索範囲内に選択し得る候補ベクトルの全てについて、差分絶対値和を演算するための差分絶対値和演算プロセスを生成したかどうかを判定する。

20       ステップ S 6 において、プロセス生成部 101 は、注目ブロックの探索範囲内に選択し得る候補ベクトルの全てについて、差分絶対値和を演算するための差分絶対値和演算プロセスを、まだ生成していないと判定した場合、ステップ S 4 に戻り、まだ差分絶対値和演算プロセスを生成していない候補ベクトルについて、差分絶対値和を演算するための差分絶対値和演算プロセスを生成し、以下、同様の処理を繰り返す。

25       また、ステップ S 6 において、プロセス生成部 101 は、注目ブロックの探索範囲内に選択し得る候補ベクトルの全てについて、差分絶対値和を演算するための差分絶対値和演算プロセスを生成したと判定した場合、ステップ S 7 に進む。

ステップ S 7 では、プロセス生成部 101 は、注目ブロックの探索範囲内に選

択し得る候補ベクトルの全てについて求められた差分絶対値和のうちの最小値を求め、その最小値に基づいて、注目ブロックの動きベクトルを求める最小値判定プロセスを生成し、その最小値判定プロセスを実行する最小値判定命令を含むプロセス packets を生成して、ステップ S 8 に進む。

- 5      ステップ S 8 では、プロセス生成部 101 は、ステップ S 7 で生成したプロセス packets を出力し、その後に処理を終了する。

図 5 に示す動きベクトル検出装置 100 において、上述したようにプロセス生成部 101 は、動きベクトルを検出する処理を行うための各プロセスを生成し、この各プロセスを実行する命令を含むプロセス packets を順次出力する。この各  
10      プロセス packets は演算処理ユニット 102<sub>1</sub>～102<sub>12</sub>を移動していき、これにより、演算処理ユニット 102<sub>1</sub>～102<sub>12</sub>において動きベクトルを検出するための各プロセスが順次実行されていく。

そして、最終的に、注目ブロックの探索範囲内に選択し得る候補ベクトルのそれぞれについての差分絶対値和が配置されたプロセス packets が集計部 103 で  
15      受信される。集計部 103 は、最小値判定命令を含むプロセス packets を受信すると、差分絶対値和演算プロセスに対応するプロセス packets から、最小の差分絶対値和が配置されているものを選択し、そのプロセス packets に配置されている候補ベクトルを注目ブロックの動きベクトルとして出力する。

なお、本実施の形態では、プロセス生成部 101 より出力される各プロセス packets が演算処理ユニット 102<sub>1</sub>～102<sub>12</sub>の全てを移動していくわけではない。  
20      ルート選択部 104<sub>1</sub>～104<sub>3</sub>により、各プロセス packets は、適宜バイパスされて移動していく。

すなわち、ルート選択部 104<sub>1</sub>～104<sub>3</sub>のそれぞれは、入力プロセス packets に係るプロセスを実行する演算処理ユニット 102<sub>n</sub>が、直後に位置する組 10  
25      2a～102c に存在しないときは、当該入力プロセス packets を、その組 102a～102c の入力側に供給するのではなく、その組の出力側に供給する。このように、プロセス packets が、そのプロセス packets に係るプロセスを実行するための演算処理ユニット 102<sub>n</sub>が存在しない組をバイパスして移動していくので、処理時間を短縮でき、またプロセス packets の無駄な移動がなくなるので、

消費電力を低減できる。

次に、ルート選択部104<sub>n</sub> (n=1~3)の詳細を説明する。図8は、ルート選択部104<sub>n</sub>の構成例を示している。

このルート選択部104<sub>n</sub>は、FIFO (First-In First-Out) メモリ131を有している。このFIFOメモリ131は、前段のプロセス生成部101 (またはルート選択部、または演算処理ユニット) からデータバスを介して供給されるプロセスパケット (入力プロセスパケット) を保持する。このFIFOメモリ131は、そこに供給されるシステムクロックに同期して、入力プロセスパケットを取り込み、一時的に記憶する。

また、ルート選択部104<sub>n</sub>は、アドレス記憶部132およびアドレス判定部133を有している。アドレス記憶部132には、予め、直後に位置する組に存在する全ての演算処理ユニット102<sub>n</sub>のアドレスが記憶されている。例えば、ルート選択部104<sub>1</sub>に関しては、アドレス記憶部132には、直後に対応する組102<sub>a</sub>に存在する演算処理ユニット102<sub>1</sub>~102<sub>4</sub>のアドレスが記憶されている。ルート選択部104<sub>2</sub>, 104<sub>3</sub>に関しても同様である。

アドレス判定部133は、FIFOメモリ131より出力されるプロセスパケットP P eに係るプロセスが、このルート選択部104<sub>n</sub>の直後に位置する組に存在する演算処理ユニット102<sub>n</sub>のいずれかで実行されるものであるか否かを判定する。

すなわち、アドレス判定部133は、FIFOメモリ131より出力されるプロセスパケットP P eの処理ユニットアドレス部 (図6参照) に記憶されている一個または複数のアドレスに、アドレス記憶部132に記憶されているアドレスの少なくともいずれかが存在するか否かを判定し、存在するとき一の状態、例えば「1」となり、存在しないとき他の状態、例えば「0」となる判定信号s<sub>3</sub>を出力する。

また、ルート選択部104<sub>n</sub>は、切り換え手段としての切換スイッチ134を有している。この切換スイッチ134は、判定信号s<sub>3</sub>に基づいて、FIFOメモリ131より出力されるプロセスパケットP P eを、当該ルート選択部104<sub>n</sub>の直後に位置する組の入力側または出力側に選択的に供給する。この切換スイッチ1

34は、判定信号 $s_3$ が「1」であるときはA側に接続され、判定信号 $s_3$ が「0」であるときはB側に接続される。

FIFOメモリ131の出力側は時間調整用の遅延回路135を介して切換スイッチ134の可動端子に接続される。この切換スイッチ134のA側の固定端子は当該ルート選択部104<sub>n</sub>の直後に位置する組の入力側に接続され、そのB側の固定端子は、当該ルート選択部104<sub>n</sub>の直後に位置する組の出力側に接続される。

上述したようにアドレス判定部133ではFIFOメモリ131より出力されるプロセスパケットPPeの処理ユニットアドレス部に記憶されているアドレスに基づいて、当該プロセスパケットPPeに係るプロセスが、このルート選択部104<sub>n</sub>の直後に位置する組に存在する演算処理ユニット102<sub>n</sub>で実行されるものであるか否かを判定する。そして、後述するように、その判定結果である判定信号 $s_3$ に基づいて、切換スイッチ134の切り換えが制御され、当該プロセスパケットPPeが、当該ルート選択部104<sub>n</sub>の直後に位置する組の入力側または出力側に供給される。

少なくとも、アドレス判定部133で判定が行われるときには、プロセスパケットPPeの処理ユニットアドレス部の部分は既にFIFOメモリ131から出力された状態にあり、FIFOメモリ131の出力側を切換スイッチ134の可動端子に直接接続したのでは、当該プロセスパケットPPeを欠けなく完全な状態で当該切換スイッチ134から出力できない場合が発生する。

上述の時間調整用の遅延回路135は、この当該プロセスパケットPPeを欠けなく完全な状態で切換スイッチ134から出力するためのものであり、少なくとも、FIFOメモリ131より当該プロセスパケットPPeの出力が開始されてからアドレス判定部133で判定結果が出るまでの遅延時間を有するようにされる。

図8に示すルート選択部104<sub>n</sub>の動作を説明する。

前段のプロセス生成部101（またはルート選択部、または演算処理ユニット）からデータバスを介して供給されるプロセスパケット（入力プロセスパケット）は、FIFOメモリ131に取り込まれて、一時的に記憶される。そして、

このFIFOメモリ131より出力されるプロセスパケットP P eは、遅延回路135を介して切換スイッチ134の可動端子に供給される。

アドレス判定部133は、プロセスパケットP P eの処理ユニットアドレス部(図6参照)に記憶されているアドレスに、アドレス記憶部132に記憶されて  
5 いるアドレスの少なくともいずれかが存在するか否かを判定する。

そして、アドレス判定部133は、肯定の判定結果を得るときは、当該プロセスパケットP P eに係るプロセスは、このルート選択部104<sub>n</sub>の直後に位置する組内の演算処理ユニット102<sub>n</sub>で実行されるものであるとして、判定信号s<sub>s</sub>を「1」にする。これにより、切換スイッチ134はA側に接続され、当該プロセスパケットP P eは切換スイッチ134のA側を介して、当該ルート選択部104<sub>n</sub>の直後に位置する組の入力側に供給される。  
10

一方、アドレス判定部133は、否定の判定結果を得るときは、当該プロセスパケットP P eに係るプロセスは、このルート選択部104<sub>n</sub>の直後に位置する組内の演算処理ユニット102<sub>n</sub>で実行されるものではないとして、判定信号s<sub>s</sub>を「0」にする。これにより、切換スイッチ134はB側に接続され、当該プロセスパケットP P eは切換スイッチ134のB側を介して、当該ルート選択部104<sub>n</sub>の直後に位置する組の出力側に供給される。  
15

次に、演算処理ユニット102<sub>n</sub>の詳細を説明する。図9は、演算処理ユニット102<sub>n</sub>の構成例を示している。

20 この演算処理ユニット102<sub>n</sub>は、P E (Processing Element) 110およびメモリ120から構成されている。

P E 110は、FIFOメモリ111、112および演算部113を有している。これらFIFOメモリ111、112および演算部113は直列に接続されている。

25 FIFOメモリ111は、前段の演算処理ユニット(またはルート選択部)からデータバスを介して供給されるプロセスパケット(入力プロセスパケット)を保持するためのものである。このFIFOメモリ111は、そこに供給されるシステムクロックに同期して、入力プロセスパケットを取り込み、一時的に記憶する。

F I F Oメモリ 1 1 2は、演算部 1 1 3にするプロセスパケットを保持するためのものである。F I F Oメモリ 1 1 2は、そこに供給されるシステムクロックに同期して、F I F Oメモリ 1 1 1より順次出力されるプロセスパケット P P aを取り込み一時的に記憶する。

- 5 演算部 1 1 3は、F I F Oメモリ 1 1 2から順次出力されるプロセスパケット P P bに含まれる命令に従った処理を行い、処理結果に基づいて当該プロセスパケットを変更して出力すべきプロセスパケット P P cを得るものである。また、この演算部 1 1 3は、この出力すべきプロセスパケット P P cを出力するときの  
10 状態、例えば「1」となり、その他のとき他の状態、例えば「0」となる要求信号 s<sub>2</sub>を出力する。

ここで、演算部 1 1 3は、少なくとも、プロセスパケットに含まれる命令のデコード、デコードされた命令の実行、出力すべきプロセスパケットの生成、プロセスパケットの出力の機能を有する。

- 15 演算部 1 1 3は、入力プロセスパケット P P bに含まれる命令をデコードし、その命令の実行が可能であれば、その命令を実行する。そして、演算部 1 1 3は、命令を実行することにより行った処理の結果に基づいて入力プロセスパケット P P bを変更して出力すべきプロセスパケット P P cを得、そのプロセスパケット P P cを出力する。

- 20 なお、演算部 1 1 3は、命令の実行が不可能であれば、入力プロセスパケット P P bをそのまま出力すべきプロセスパケット P P cとし、そのプロセスパケット P P cを出力する。

- 25 また、演算部 1 1 3は、入力プロセスパケット P P bに含まれる命令の実行は可能であるが、その入力プロセスパケット P P bと同一のプロセスパケットが過去に入力されており、それによる処理を終了しているときは、その入力プロセスパケット P P bに関しては何も処理を行わない。この場合の入力プロセスパケット P P bは不要なプロセスパケットであるからである。

メモリ 1 2 0は、演算部 1 1 3とデータベースを介して接続されている。演算部 1 1 3は、必要に応じて、メモリ 1 2 0に画像データを記憶し、あるいはメモリ 1 2 0から画像データを読み出す。すなわち、プロセスパケットに配置される命

令の中には、画像データの書き込みを指示する書き込み命令と、画像データの読み出しを指示する読み出し命令とがある。

5 演算部 113 は、プロセスパケットに、書き込み命令と画像データが配置されている場合には、その画像データを、データバスを介し、メモリ 120 に供給して書き込む。また、演算部 113 は、プロセスパケットに、読み出し命令が配置されている場合には、メモリ 120 から、データバスを介して、画像データを読み出し、プロセスパケットに配置する。

10 ここで、本実施の形態では、図 9 に示すように、メモリ 120 は、その記憶領域が 5 つのバンクに分割されており、これにより、5 フィールドの画像データを、別々のバンクに記憶することができる。ただし、メモリ 120 の各バンクは、1 フィールド分の画像データを記憶することができるだけの記憶容量を有している必要はない。

本実施の形態では、メモリ 120 の各バンクは、12 個の演算処理ユニット 102<sub>1</sub> ~ 102<sub>12</sub> の合計で、少なくとも探索範囲の画像データを記憶できる記憶容量を有していればよい。つまり、本実施の形態では、1 バンクの記憶容量の 12 15 倍の記憶容量が、探索範囲の画像データのデータ量以上であればよい。例えば、メモリ 120 の 1 バンクは、1 / 12 フィールド分の画像データを記憶できる記憶容量とされる。したがって、メモリ 120 としては、図 3 で説明したような配線容量が問題とならないメモリ、すなわち、それほど記憶容量が大きなく、P  
20 E110 との間のデータバスを短くすることができるメモリを採用できる。

また、PE110 は、アドレス記憶部 114 およびアドレス判定部 115 を有している。アドレス記憶部 114 には、予め、演算処理ユニット 102<sub>n</sub> 自体のアドレス、つまり自己のアドレスが記憶されている。

25 アドレス判定部 115 は、FIFO メモリ 111 より出力されるプロセスパケット PPa に係るプロセスが、この演算処理ユニット 102<sub>n</sub> で実行されるものであるか否かを判定する。すなわち、アドレス判定部 115 は、FIFO メモリ 111 より出力されるプロセスパケット PPa の処理ユニットアドレス部（図 6 参照）に記憶されている一個または複数のアドレスに、アドレス記憶部 114 に記憶されている自己のアドレスが存在するか否かを判定し、存在するとき一の状



態、例えば「1」となり、存在しないとき他の状態、例えば「0」となる判定信号  $s_1$  を出力する。

また、PE110は、FIFOメモリ111より出力されるプロセスパケットPPaまたは演算部113より出力されるプロセスパケットPPcを選択的に取り出す、切り換え手段としての切換スイッチ116と、この切換スイッチ116の切り換えを制御する切り換え制御部117とを有している。

演算部113の出力側は切換スイッチ116のA側の固定端子に接続され、FIFOメモリ111の出力側は時間調整用の遅延回路118を介して切換スイッチ116のB側の固定端子に接続される。さらに、切換スイッチ116のOFF側の固定端子は電源端子に接続される。つまり、このOFF側の固定端子には、  
10    ハイレベル「1」のデータが供給された状態とされる。なお、このOFF側の固定端子を接地し、それにローレベル「0」のデータが供給された状態としてもよい。

切換スイッチ116の可動端子が演算処理ユニット102<sub>a</sub>の出力端子となる。  
15    つまり、この可動端子がデータバスを介して後段の演算処理ユニット（またはルート選択部、または集計部）に接続される。

上述したようにアドレス判定部115ではFIFOメモリ111より出力されるプロセスパケットPPaの処理ユニットアドレス部に記憶されているアドレスに基づいて、当該プロセスパケットPPaに係るプロセスがこの演算処理ユニット102<sub>a</sub>で実行されるものであるか否かを判定する。  
20   

そして、後述するように、当該プロセスパケットPPaがこの演算処理ユニット102<sub>a</sub>で実行されるものでないとき、当該プロセスパケットPPaを切換スイッチ116を介して直ちに後段に出力するものであるが、少なくとも判定時には当該プロセスパケットPPaの処理ユニットアドレス部の部分は既にFIFOメモリ111から出力された状態にあり、FIFOメモリ111の出力側を切換スイッチ116のB側の固定端子に直接接続したのでは、当該プロセスパケットPPaを欠けなく完全な状態で後段に供給することができない。  
25   

上述の時間調整用の遅延回路118は、この当該プロセスパケットPPaを欠けなく完全な状態で後段に供給するためのものであり、少なくとも、FIFOメ

メモリ 111 より当該プロセスパケット P P a の出力が開始されてからアドレス判定部 115 で判定結果が出るまでの遅延時間を有するようにされる。

切り換え制御部 117 には、演算部 113 より出力される要求信号  $s_2$  およびアドレス判定部 115 より出力される判定信号  $s_1$  が供給される。そして、切り換え  
5 制御部 117 は、要求信号  $s_2$  が「1」であるときは、判定信号  $s_1$  が「1」であるか「0」であるかによらず、切換スイッチ 116 が A 側に接続されるように制御する。また、切り換え制御部 117 は、要求信号  $s_2$  が「0」で、かつ判定信号  $s_1$  が「0」であるときは、切換スイッチ 116 が B 側に接続されるように制御する。さらに、切り換え制御部 117 は、要求信号  $s_2$  が「0」で、かつ判定信号  $s_1$  が「1」であるときは、切換スイッチ 116 が O F F 側に接続されるように制御  
10 する。

図 10 は、判定信号  $s_1$  および要求信号  $s_2$  と、切換スイッチ 116 の切り換えの関係を示している。

図 9 に示す演算処理ユニット 102<sub>n</sub> の動作を説明する。

15 前段の演算処理ユニット（またはルート選択部）からデータバスを介して供給されるプロセスパケット（入力プロセスパケット）は、F I F O メモリ 111 に取り込まれて、一時的に記憶される。この F I F O メモリ 111 より出力されるプロセスパケット P P a は、F I F O メモリ 112 に取り込まれて、一時的に記憶される。また、F I F O メモリ 111 より出力されるプロセスパケット P P a  
20 は、遅延回路 118 を介して切換スイッチ 116 の B 側の固定端子に供給される。

F I F O メモリ 112 から順次出力されるプロセスパケット P P b は、演算部 113 に供給される。演算部 113 は、プロセスパケット P P b に含まれる命令をデコードし、その命令の実行が可能であればその命令を実行する。そして、演算部 113 は、命令を実行することにより行った処理の結果に基づいて入力プロセスパケット P P b を変更して出力すべきプロセスパケット P P c を生成し、その  
25 プロセスパケット P P c を出力する。このプロセスパケット P P c は切換スイッチ 116 の A 側の固定端子に供給される。

ただし、演算部 113 は、入力プロセスパケット P P b に含まれる命令の実行は可能であるが、その入力プロセスパケット P P b と同一のプロセスパケットが

過去に入力されており、それによる処理を終了しているときは、その入力プロセスパケットPPbに関しては何も処理を行わない。同一のプロセスパケットか否かは、PID部（図6参照）に配置されたPIDに基づいて行うことができる。

一方、演算部113は、その命令の実行が不可能であるときは、入力プロセスパケットPPbをそのまま出力すべきプロセスパケットPPcとし、そのプロセスパケットPPcを出力する。

演算部113より出力されるプロセスパケットPPcは、切換スイッチ116のA側の固定端子に供給される。演算部113は、このようにプロセスパケットPPcを出力するとき、要求信号s<sub>2</sub>を「1」にする。

また、アドレス判定部115は、プロセスパケットPPaの処理ユニットアドレス部に記憶されているアドレスにアドレス記憶部114に記憶されている自己のアドレスが存在するか否かを判定する。

この場合、アドレス判定部115は、処理ユニットアドレス部に記憶されているアドレスに自己のアドレスが存在するとき、プロセスパケットPPaに係るプロセスがこの演算処理ユニット102<sub>n</sub>で実行されるものであるとして、判定信号s<sub>1</sub>を「1」にする。一方、アドレス判定部115は、処理ユニットアドレス部に記憶されているアドレスに自己のアドレスが存在しないとき、プロセスパケットPPaに係るプロセスがこの演算処理ユニット102<sub>n</sub>で実行されるものでないとして、判定信号s<sub>1</sub>を「0」にする。

演算部113より出力される要求信号s<sub>2</sub>およびアドレス判定部115より出力される判定信号s<sub>1</sub>は、切り換え制御部117に供給される。切り換え制御部117は、要求信号s<sub>2</sub>が「1」であるとき、切換スイッチ116をA側に接続する。つまり、演算部113がプロセスパケットPPbの処理を終了してプロセスパケットPPcを出力するとき、切換スイッチ116はA側に接続される。この場合、演算部113より出力されるプロセスパケットPPcは、切換スイッチ116のA側を介して後段の演算処理ユニット（またはルート選択部、または集計部）に、出力プロセスパケットとして供給される。

また、切り換え制御部117は、要求信号s<sub>2</sub>が「0」で、かつ判定信号s<sub>1</sub>が「0」であるとき、切換スイッチ116をB側に接続する。つまり、演算部11

3がプロセスパケットPPbの処理を行っており、かつFIFOメモリ111より出力されるプロセスパケットPPaに係るプロセスがこの演算処理ユニット102<sub>n</sub>で実行されるものでないとき、切換スイッチ116はB側に接続される。この場合、そのプロセスパケットPPaは、直ちに切換スイッチ116のB側を介して、後段の演算処理ユニット（またはルート選択部、または集計部）に出力プロセスパケットとして供給される。これにより、処理時間を短縮できる。

また、切り換え制御部117は、要求信号s<sub>2</sub>が「0」で、かつ判定信号s<sub>1</sub>が「1」であるときは、切換スイッチ116をOFF側に接続する。つまり、演算部113がプロセスパケットPPbの処理を行っており、かつFIFOメモリ111より出力されるプロセスパケットPPaに係るプロセスがこの演算処理ユニット102<sub>n</sub>で実行されるものであるとき、切換スイッチ116はOFF側に接続される。この場合、後段の演算処理ユニット（またはルート選択部、または集計部）には、ハイレベル「1」またはローレベル「0」のデータが供給される。これにより、後段の演算処理ユニット（またはルート選択部、または集計部）に、誤ったプロセスパケット、例えばFIFOメモリ111より出力されるプロセスパケットPPa（このパケットPPaはこの演算処理ユニット102<sub>n</sub>の演算部113で処理する必要があるが、その処理を経ていない）が供給されることを防止できる。

次に、図11のフローチャートを参照して、図9の演算処理ユニット102<sub>n</sub>の演算部113にプロセスパケットPPbが入力された場合における、当該演算部113が行う処理（プロセス実行処理）について説明する。

ステップS11で、演算部113は、その入力プロセスパケットPPbに配置された命令をデコードし、ステップS12に進む。ステップS12では、演算部113は、ステップS11でデコードした命令の実行が可能かどうかを判定する。

25 演算部113は、ステップS12で命令の実行が可能でないと判定するとき、ステップS13～S15をスキップして、ステップS16に進み、要求信号s<sub>2</sub>を「1」にする。そして、演算部113は、ステップS17で、入力プロセスパケットPPbをそのまま出力すべきプロセスパケットPPcとして出力し、その後ステップS18で、要求信号s<sub>2</sub>を「0」に戻し、処理を終了する。

また、演算部 113 は、ステップ S 12 で命令の実行が可能であると判定するとき、ステップ S 13 に進み、その入力プロセスパケット PPb と同一のプロセスパケットが過去に入力され、処理済みであるか否かを判定する。演算部 113 は処理済みであると判定するとき、その入力プロセスパケット PPb に関しては  
5 何も処理を行わず、処理を終了する。この場合、入力プロセスパケット PPb は不要なプロセスパケットであり、演算部 113 は、この入力プロセスパケット PPb に対応したプロセスパケットを出力することはない。

また、演算部 113 は、ステップ S 13 で処理済みでないと判定するとき、ステップ S 14 に進み、入力プロセスパケット PPb に配置された命令を実行し、  
10 その命令にしたがった処理を行う。そして、演算部 113 は、ステップ S 14 で、プロセスパケットに配置された命令にしたがった処理を行うことにより得られたデータを、必要に応じて、入力プロセスパケット PPb に配置し、ステップ S 15 に進む。

ステップ S 15 では、演算部 113 は、ステップ S 14 で行った処理に対応して、必要に応じて、入力プロセスパケット PPb の状態部を書き換え、ステップ  
15 S 16 に進む。

ステップ S 16 では、演算部 113 は、要求信号  $s_2$  を「1」にする。そして、演算部 113 は、ステップ S 17 で、ステップ S 14, S 15 で変更された入力プロセスパケット PPb を出力すべきプロセスパケット PPc として出力し、その  
20 の後ステップ S 18 で、要求信号  $s_2$  を「0」に戻し、処理を終了する。

次に、図 12 のフローチャートを参照して、図 9 の演算処理ユニット 102<sub>n</sub> の演算部 113 に書き込み命令を有するプロセスパケット PPb が入力された場合における、当該演算部 113 が行う処理（プロセス実行処理）について説明する。

なお、この場合、入力プロセスパケット PPb には、書き込み命令の他、メモリ 120 に書き込むべき画像データと、その画像データをメモリ 120 に書き込む書き込みアドレスが、少なくとも配置されているものとする。  
25

ステップ S 11 で、演算部 113 は、その入力プロセスパケット PPb に配置された命令をデコードし、ステップ S 12 に進む。ステップ S 12 では、演算部 113 は、ステップ S 11 でデコードした命令の実行が可能かどうか、ここでは、

入力プロセスパケットPPbに配置されている書き込みアドレスが、演算処理ユニット102<sub>a</sub>が有するメモリ120<sub>a</sub>のアドレスかどうかを判定する。

5 演算部113は、ステップS12でプロセスパケットに配置されている書き込みアドレスが、演算処理ユニット102<sub>a</sub>が有するメモリ120<sub>a</sub>のアドレスでないと判定するとき、ステップS13～S15をスキップして、ステップS16に進み、要求信号s<sub>2</sub>を「1」にする。そして、演算部113は、ステップS17で、入力プロセスパケットPPbをそのまま出力すべきプロセスパケットPPcとして出力し、その後ステップS18で、要求信号s<sub>2</sub>を「0」に戻し、処理を終了する。

10 また、演算部113は、ステップS12でプロセスパケットに配置されている書き込みアドレスが、演算処理ユニット102<sub>a</sub>が有するメモリ120<sub>a</sub>のアドレスであると判定するとき、ステップS13に進み、その入力プロセスパケットPPbと同一のプロセスパケットが過去に☐入力され、処理済みであるか否かを判定する。演算部113は処理済みであると判定するとき、その入力プロセスパケットPPb  
15 については何も処理を行わず、処理を終了する。この場合、入力プロセスパケットPPbは不要なプロセスパケットであり、演算部113は、この入力プロセスパケットPPbに対応したプロセスパケットを出力することはない。

また、演算部113は、ステップS13で処理済みでないと判定するとき、ステップS14に進み、入力プロセスパケットPPbに配置された命令を実行する。  
20 つまり、演算部113は、入力プロセスパケットPPbに配置されている画像データをメモリ120<sub>a</sub>に書き込み、ステップS15に進む。

ステップS15では、演算部113は、ステップS14で行った処理に対応して、必要に応じて、入力プロセスパケットPPbの状態部を書き換え、ステップS16に進む。

25 ステップS16では、演算部113は、要求信号s<sub>2</sub>を「1」にする。そして、演算部113は、ステップS17で、ステップS14、S15で変更された入力プロセスパケットPPbを出力すべきプロセスパケットPPcとして出力し、その後ステップS18で、要求信号s<sub>2</sub>を「0」に戻し、処理を終了する。

プロセス生成部101は、図7のプロセス生成処理のステップS1～S3にお

いて、書き込み命令を有するプロセスパケット（以下、適宜、「書き込みプロセスパケット」という）を生成して出力する。この書き込みプロセスパケットが、演算処理ユニット $102_1 \sim 102_n$ を順次移動していくことにより、例えば図13A及び図13Bに示すように、少なくとも、注目ブロックと候補ブロックの画像データが、メモリ $120$ に書き込まれる。

ここで、図13Aに示すように、注目ブロックの画像データをクロスハッチングを付して表すとともに、候補ブロックの画像データをハッチングを付して表すこととすると、図13Bでは、注目ブロックの一部がメモリ $120_1$ に、他の一部がメモリ $120_2$ に、さらに他の一部がメモリ $120_3$ に、残りがメモリ $120_4$ に、それぞれ書き込まれ、候補ブロックの一部がメモリ $120_5$ に、他の一部がメモリ $120_6$ に、さらに他の一部がメモリ $120_7$ に、残りがメモリ $120_8$ に、それぞれ書き込まれている。

次に、図14のフローチャートを参照して、図9の演算処理ユニット $102_n$ の演算部 $113$ に読み出し命令を有するプロセスパケット $PPb$ が入力された場合における、当該演算部 $113$ が行う処理（プロセス実行処理）について説明する。

なお、この場合、入力プロセスパケット $PPb$ には、読み出し命令の他、メモリ $120$ から読み出すべき画像データの読み出しアドレスが、少なくとも配置されているものとする。

ステップ $S11$ で、演算部 $113$ は、その入力プロセスパケット $PPb$ に配置された命令をデコードし、ステップ $S12$ に進む。ステップ $S12$ では、演算部 $113$ は、ステップ $S11$ でデコードした命令の実行が可能かどうか、ここでは、入力プロセスパケット $PPb$ に配置されている読み出しアドレスが、演算処理ユニット $102_n$ が有するメモリ $120_n$ のアドレスかどうかを判定する。

演算部 $113$ は、ステップ $S12$ でプロセスパケットに配置されている読み出しアドレスが、演算処理ユニット $102_n$ が有するメモリ $120_n$ のアドレスでないと判定するとき、ステップ $S13 \sim S15$ をスキップして、ステップ $S16$ に進み、要求信号 $s_2$ を「1」にする。そして、演算部 $113$ は、ステップ $S17$ で、入力プロセスパケット $PPb$ をそのまま出力すべきプロセスパケット $PPc$ として出力し、その後ステップ $S18$ で、要求信号 $s_2$ を「0」に戻し、処理を終了す

る。

また、演算部 113 は、ステップ S12 でプロセスパケットに配置されている読み出しアドレスが、演算処理ユニット 102<sub>n</sub> が有するメモリ 120<sub>n</sub> のアドレスであると判定するとき、ステップ S13 に進み、その入力プロセスパケット P P b と同一のプロセスパケットが過去に入力され、処理済みであるか否かを判定する。演算部 113 は処理済みであると判定するとき、その入力プロセスパケット P P b に関しては何も処理を行わず、処理を終了する。この場合、入力プロセスパケット P P b は不要なプロセスパケットであり、演算部 113 は、この入力プロセスパケット P P b に対応したプロセスパケットを出力することはない。

また、演算部 113 は、ステップ S13 で処理済みでないと判定するとき、ステップ S14 に進み、入力プロセスパケット P P b に配置された命令を実行する。つまり、演算部 113 は、メモリ 120<sub>n</sub> から画像データを読み出し、その画像データを入力プロセスパケット P P b に配置し、ステップ S15 に進む

ステップ S15 では、演算部 113 は、ステップ S14 で行った処理に対応して、必要に応じて、入力プロセスパケット P P b の状態部を書き換え、ステップ S16 に進む。

ステップ S16 では、演算部 113 は、要求信号  $s_2$  を「1」にする。そして、演算部 113 は、ステップ S17 で、ステップ S14, S15 で変更された入力プロセスパケット P P b を出力すべきプロセスパケット P P c として出力し、その後ステップ S18 で、要求信号  $s_2$  を「0」に戻し、処理を終了する。

次に、図 15 のフローチャートを参照して、図 9 の演算処理ユニット 102<sub>n</sub> の演算部 113 に差分絶対値和演算命令を有するプロセスパケット P P b が入力された場合における、当該演算部 113 が行う処理（プロセス実行処理）について説明する。

なお、この場合、メモリ 120 には、既に、差分絶対値和の演算対象である注目ブロックと候補ブロックの画像データが少なくとも書き込まれているものとする。さらに、入力プロセスパケット P P b には、差分絶対値和演算命令の他、メモリ 120 に記憶された注目ブロックと候補ブロックのアドレス、候補ブロックから注目ブロックに向かう候補ベクトルが、少なくとも配置されているものとする。



る。

ステップS 1 1 で、演算部 1 1 3 は、その入力プロセスパケット P P b に配置された命令をデコードし、ステップS 1 2 に進む。ステップS 1 2 では、演算部 1 1 3 は、ステップS 1 1 でデコードした命令の実行が可能かどうか、ここでは、  
5 注目ブロックまたは候補ブロックのうちの少なくとも一方の画素が、演算処理ユニット 1 0 2 ㏹ が有するメモリ 1 2 0 ㏹ に記憶されているかどうかを判定する。

ここで、注目ブロックの画素が、演算処理ユニット 1 0 2 ㏹ が有するメモリ 1 2 0 ㏹ に記憶されているかどうかは、入力プロセスパケット P P b に配置された注目ブロックのアドレスから判定することができる。候補ブロックの画素が、演算処理ユニット 1 0 2 ㏹ が有するメモリ 1 2 0 ㏹ に記憶されているかどうかは、入力プロセスパケット P P b に配置された候補ブロックのアドレスから判定することができる。  
10

演算部 1 1 3 は、ステップS 1 2 で注目ブロックおよび候補ブロックのうちのいずれも、演算処理ユニット 1 0 2 ㏹ が有するメモリ 1 2 0 ㏹ に記憶されていないと判定するとき、ステップS 1 3 ~ S 1 5 をスキップして、ステップS 1 6 に進み、要求信号  $s_2$  を「1」にする。そして、演算部 1 1 3 は、ステップS 1 7 で、入力プロセスパケット P P b をそのまま出力すべきプロセスパケット P P c として出力し、その後ステップS 1 8 で、要求信号  $s_2$  を「0」に戻し、処理を終了する。  
15

また、演算部 1 1 3 は、ステップS 1 2 で注目ブロックまたは候補ブロックのうちの少なくとも一方の画素が、演算処理ユニット 1 0 2 ㏹ が有するメモリ 1 2 0 ㏹ に記憶されていると判定するとき、ステップS 1 3 に進み、その入力プロセスパケット P P b と同一のプロセスパケットが過去に☐入力され、処理済みであるか否かを判定する。演算部 1 1 3 は処理済みであると判定するとき、その入力プロセスパケット P P b に関しては何も処理を行わず、処理を終了する。この場合、入力プロセスパケット P P b は不要なプロセスパケットであり、演算部 1 1 3 は、この入力プロセスパケット P P b に対応したプロセスパケットを出力することはない。  
20  
25

また、演算部 1 1 3 は、ステップS 1 3 で処理済みでないと判定するとき、ス

テップS 1 4に進み、入力プロセスパケットP P bに配置された命令を実行する。

すなわち、まず最初に、ステップS 2 1において、演算部1 1 3は、注目ブロックの画素が、演算処理ユニット1 0 2<sub>n</sub>が有するメモリ1 2 0<sub>n</sub>に記憶されているかどうかを判定する。演算部1 1 3は、ステップS 2 1で注目ブロックの画素が演算処理ユニット1 0 2<sub>n</sub>が有するメモリ1 2 0<sub>n</sub>に記憶されていないと判定する  
5 とき、ステップS 2 2をスキップして、ステップS 2 3に進む。

一方、演算部1 1 3は、ステップS 2 1で注目ブロックの画素が演算処理ユニット1 0 2<sub>n</sub>が有するメモリ1 2 0<sub>n</sub>に記憶されていると判定するとき、ステップS 2 2に進み、メモリ1 2 0<sub>n</sub>に記憶されている注目ブロックの画素を読み出し、  
10 入力プロセスパケットP P bに配置して、ステップS 2 3に進む。

ステップS 2 3では、演算部1 1 3は、候補ブロックの画素が演算処理ユニット1 0 2<sub>n</sub>が有するメモリ1 2 0<sub>n</sub>に記憶されているかどうかを判定する。演算部1 1 3は、ステップS 2 3で候補ブロックの画素が演算処理ユニット1 0 2<sub>n</sub>が有するメモリ1 2 0<sub>n</sub>に記憶されていないと判定するとき、ステップS 2 4をスキップして、ステップS 2 5に進む。  
15

一方、演算部1 1 3は、ステップS 2 3で候補ブロックの画素が演算処理ユニット1 0 2<sub>n</sub>が有するメモリ1 2 0<sub>n</sub>に記憶されていると判定するとき、ステップS 2 4に進み、メモリ1 2 0<sub>n</sub>に記憶されている候補ブロックの画素を読み出し、入力プロセスパケットP P bに配置して、ステップS 2 5に進む。

20 ステップS 2 5では、演算部1 1 3は、差分絶対値和の計算が可能かどうかを判定する。この場合、演算部1 1 3は、入力プロセスパケットP P bに、注目ブロックの画素が配置されており、かつ、その注目ブロックの画素に対応する候補ブロックの画素も配置されているかどうかによって、差分絶対値和の計算が可能かどうかを判定する。

25 演算部1 1 3は、ステップS 2 5で差分絶対値和の計算が可能でないと判定するとき、すなわち入力プロセスパケットP P bに、注目ブロックの画素が配置されていないか、または配置されていても、その注目ブロックの画素に対応する候補ブロックの画素が配置されていない場合、ステップS 2 6をスキップし、これにより、差分絶対値和演算命令の実行を終了して、ステップS 1 5に進む。

一方、演算部 113 は、ステップ S 25 で差分絶対値和の計算が可能であると判定するとき、すなわち入力プロセスパケット P P b に、注目ブロックの画素が配置されており、かつ、その注目ブロックの画素に対応する候補ブロックの画素も配置されている場合、ステップ S 26 に進み、入力プロセスパケット P P b に配置されている注目ブロックの画素それぞれと、その画素に対応する候補ブロックの画素それぞれとの差分絶対値を計算し、さらに、その総和を計算する。

そして、演算部 113 は、その差分絶対値の総和と、入力プロセスパケット P P b の差分絶対値和部に配置されている差分絶対値和とを加算し、その加算値を新たな差分絶対値和として入力プロセスパケット P P b の差分絶対値和部に書き込みし、これにより、差分絶対値和演算命令の実行を終了して、ステップ S 15 に進む。

ステップ S 15 では、演算部 113 は、ステップ S 14 で行った処理に対応して、必要に応じて、入力プロセスパケット P P b の状態部を書き換え、ステップ S 16 に進む。

ステップ S 16 では、演算部 113 は、要求信号  $s_2$  を「1」にする。そして、演算部 113 は、ステップ S 17 で、ステップ S 14, S 15 で変更された入力プロセスパケット P P b を出力すべきプロセスパケット P P c として出力し、その後ステップ S 18 で、要求信号  $s_2$  を「0」に戻し、処理を終了する。

プロセス生成部 101 は、図 7 のプロセス生成処理のステップ S 4 ~ S 7 において、差分絶対値和演算命令を有するプロセスパケット（以下、適宜、「差分絶対値和プロセスパケット」という）を生成して出力する。この差分絶対値和プロセスパケットが、演算処理ユニット 102<sub>1</sub> ~ 102<sub>12</sub> を順次移動していくことにより、注目ブロックと候補ブロックの差分絶対値和が、図 16 および図 17 A 及び図 17 B に示すように求められる。

すなわち、いま、図 16 に示すように、メモリ 120<sub>n</sub> に、注目ブロックの一部が、メモリ 120<sub>n+1</sub> に、注目ブロックの残り部分と候補ブロックの一部が、メモリ 120<sub>n+2</sub> に、候補ブロックの残りが、それぞれ記憶されているものとする。また、演算処理ユニット 102<sub>n</sub> の P E 110 を、以下、適宜、「P E 110<sub>n</sub>」と表すこととする。

この場合、演算処理ユニット102<sub>n</sub>がプロセスパケットを受信すると、PE110<sub>n</sub>は、メモリ120<sub>n</sub>に記憶されている注目ブロックの一部を読み出し、プロセスパケットに配置して、次段の演算処理ユニット102<sub>n+1</sub>に転送する。

ここで、PE110<sub>n</sub>では、図17A及び図17Bに示すプロセスパケットが送  
5 受信される。なお、図17A及び図17Bでは、図が煩雑になるのを避けるため、プロセスパケットについて、図17Aに示すように、その先頭から、PID部、注目ブロック読み出し状態部、候補ブロック読み出し状態部、命令部、注目ブロックアドレス部、候補ブロックアドレス部、注目ブロックデータ部、候補ブロックデータ部、差分絶対値和部だけを図示してある。

10 注目ブロックおよび候補ブロックは、図16で説明したように、メモリ120<sub>n</sub>~120<sub>n+2</sub>に記憶されているから、プロセスパケットが、PE110<sub>n</sub>で受信される前は、注目ブロックおよび候補ブロックのいずれの読み出しも行われておらず、従って、注目ブロック読み出し状態部と、候補ブロック読み出し状態部の状態情報は、図17Bに示すように、いずれも「未」になっている。さらに、この  
15 場合、注目ブロックアドレス部と候補ブロックアドレス部には、それぞれ、注目ブロックのアドレスadd1と候補ブロックのアドレスadd2がセットされている。また、差分絶対値和部には、初期値としての0がセットされている。なお、命令部には、差分絶対値和演算命令を表す「ME」がセットされている。

以上のようなプロセスパケットが、PE110<sub>n</sub>に入力され、図16で説明した  
20 ように処理されることにより、次のようなプロセスパケットが、PE110<sub>n</sub>からPE110<sub>n+1</sub>に転送される。

すなわち、PE110<sub>n</sub>からPE110<sub>n+1</sub>に転送されるプロセスパケットには、  
図17Bに示すように、メモリ120<sub>n</sub>に記憶されている注目ブロックの一部の画  
素data\_a1が、新たに配置される。さらに、PE110<sub>n</sub>では、メモリ120<sub>n</sub>から  
25 注目ブロックの一部の画素data\_a1が読み出されたことから、プロセスパケットの注目ブロック読み出し状態部の状態情報が、「未」から「中」に書き換えられる。

演算処理ユニット102<sub>n+1</sub>が、演算処理ユニット102<sub>n</sub>からのプロセスパケットを受信すると、PE110<sub>n+1</sub>は、図16に示すように、メモリ120<sub>n+1</sub>に記憶されている注目ブロックの残りと、候補ブロックの一部を読み出す。ここで、

演算処理ユニット102<sub>n</sub>からのプロセスパケットには、注目ブロックの一部が配置されているから、PE110<sub>n+1</sub>は、メモリ120<sub>n+1</sub>から読み出した注目ブロックの残りと合わせて、注目ブロック全体の画素を取得することになる。

- 5 PE110<sub>n+1</sub>は、注目ブロック全体の画素と、メモリ120<sub>n+1</sub>から読み出した候補ブロックの一部の画素とを用いて計算可能な差分絶対値和を求め、プロセスパケットに配置する。さらに、PE110<sub>n+1</sub>は、差分絶対値和の演算に用いられなかった注目ブロックの画素を、プロセスパケットに配置し、次段の演算処理ユニット102<sub>n+2</sub>に転送する。

- すなわち、PE110<sub>n+1</sub>からPE110<sub>n+2</sub>に転送されるプロセスパケットには、図17Bに示すように、注目ブロックの画素のうち、差分絶対値和の演算に用いられなかった画素data\_a2が、注目ブロックデータ部の画素data\_a1に代えて配置されるとともに、PE110<sub>n+1</sub>で求められた差分絶対値和sum1が、差分絶対値和部の初期値0に代えて配置される。さらに、PE110<sub>n+1</sub>では、注目ブロックの画素のすべてが取得されるとともに、候補ブロックの一部の画素が取得されたことから、プロセスパケットの注目ブロック読み出し状態部の状態情報が「中」から「終」に書き換えられると共に、候補ブロック読み出し状態部の状態情報は、「未」から「中」に書き換えられる。
- 10
- 15

- 演算処理ユニット102<sub>n+2</sub>が、演算処理ユニット102<sub>n+1</sub>からのプロセスパケットを受信すると、PE110<sub>n+2</sub>は、図16に示すように、メモリ120<sub>n+2</sub>に記憶されている候補ブロックの残りを読み出す。
- 20

- PE110<sub>n+2</sub>は、メモリ120<sub>n+2</sub>から読み出した候補ブロックの残りの画素と、プロセスパケットに配置されている注目ブロックの画素とを用いて計算可能な差分絶対値和を求め、プロセスパケットに配置されている差分絶対値和と加算する。そして、PE110<sub>n+2</sub>は、その加算値を、新たな差分絶対値和として、プロセスパケットに上書きする形で配置し、次段の演算処理ユニット102<sub>n+3</sub>（図示せず）に転送する。
- 25

すなわち、PE110<sub>n+2</sub>では、注目ブロックと候補ブロックのすべての画素についての差分絶対値和sum2が求められるから、PE110<sub>n+2</sub>からPE110<sub>n+3</sub>（図示せず）に転送されるプロセスパケットには、図17Bに示すように、その

差分絶対値和sum2が、差分絶対値和部の差分絶対値和sum1に代えて配置される。  
また、プロセスパケットにおいて注目ブロックデータ部に配置されていた注目ブ  
ロックの画素data\_a2は、すべて、差分絶対値和の計算に用いられるから、注目ブ  
ロックデータ部から、注目ブロックの画素data\_a2が削除される。さらに、PE 1  
5 1 0<sub>n+2</sub>では、候補ブロックの残りの画素が取得されたことから、プロセスパケッ  
トの候補ブロック読み出し状態部の状態情報が、「中」から「終」に書き換えら  
れる。

この場合、プロセスパケットが、PE 1 1 0<sub>n+2</sub>から出力される時点で、そのプ  
ロセスパケットには、注目ブロックと候補ブロックのすべての画素についての差  
10 分絶対値和sum2が配置されている。したがって、演算処理ユニット1 0 2<sub>n+3</sub>以降  
では、プロセスパケットは、単に転送されていき、最終的に、集計部1 0 3（図  
5参照）で受信される。

次に、集計部1 0 3の詳細を説明する。集計部1 0 3も、演算処理ユニット1  
0 2<sub>n</sub>と同様に構成されている。すなわち、集計部1 0 3は、PE 1 1 0とメモリ  
15 1 2 0で構成されている。ただし、集計部1 0 3は、演算処理ユニット1 0 2<sub>n</sub>と  
異なる構成とすることも可能であるが、演算処理ユニット1 0 2<sub>n</sub>と同一構成とし  
た方が、動きベクトル検出装置1 0 0の製造コストを低く抑えることができる。

プロセス生成部1 0 1では、図7のステップS 4～S 6の処理によって、注目  
ブロックの探索範囲内に選択しうる候補ベクトルすべてについて、差分絶対値和  
20 を演算するための差分絶対値和演算プロセスが生成されるが、このプロセスに対  
応するプロセスパケットの全てが集計部1 0 3で受信されると、集計部1 0 3は、  
注目ブロックの探索範囲内に選択し得る候補ベクトルの全てについて、差分絶対  
値和を取得する。

プロセス生成部1 0 1では、図7のステップS 4～S 6の処理の後、ステップ  
25 S 7およびS 8において、最小値判定プロセスが生成され、最小値判定命令を含  
むプロセスパケットが出力される。このプロセスパケットは、演算処理ユニット  
1 0 2<sub>1</sub>～1 0 2<sub>12</sub>を経由して、集計部1 0 3で受信される。集計部1 0 3は、最  
小値判定命令を含むプロセスパケットを受信すると、それまでに受信した、差分  
絶対値和演算プロセスに対応するプロセスパケットから、最小の差分絶対値和が

配置されているものを選択し、さらに、そのプロセスパケットに配置されている候補ベクトルを、注目ブロックの動きベクトルとして出力する。

以上説明したように、上述の実施の形態においては、PE110<sub>n</sub>とメモリ120<sub>n</sub>からなる複数の演算処理ユニット102<sub>n</sub>を一次元的に接続し、その複数の演算処理ユニット102<sub>n</sub>において、命令と必要なデータが配置されたプロセスパケットを転送（移動）させることにより、動きベクトルを検出するための処理を行うようにしたので、長いデータバスを駆動する際の問題としての、例えば配線遅延や配線間のクロストーク、反射の影響などを回避できる。

すなわち、PE110<sub>n</sub>とメモリ120<sub>n</sub>との間や、演算処理ユニット102<sub>n</sub>どうしを結ぶデータバスは、短くて済むので、長いデータバスを駆動する際の問題を回避できる。したがって、動きベクトル検出装置の設計にあたり、長いデータバスを駆動する際の問題を考慮する必要がないので、設計容易なハードウェアによって、動きベクトルを検出できる。

また、上述実施の形態においては、12個の演算処理ユニット102<sub>1</sub>～102<sub>12</sub>が4個の連続する演算処理ユニットの組に分けられ、各組102<sub>a</sub>～102<sub>c</sub>の入力側にそれぞれルート選択部104<sub>1</sub>～104<sub>3</sub>が挿入される。そして、ルート選択部104<sub>1</sub>～104<sub>3</sub>のそれぞれは、入力プロセスパケットに係るプロセスを実行する演算処理ユニット102<sub>n</sub>が直後に位置する組102<sub>a</sub>～102<sub>c</sub>に存在しないときは、当該入力プロセスパケットを、その組102<sub>a</sub>～102<sub>c</sub>の入力側に供給するのではなく、その組の出力側に供給する。

したがって、プロセスパケットが、そのプロセスパケットに係るプロセスを実行するための演算処理ユニット102<sub>n</sub>が存在しない組をバイパスして移動していくので、処理時間を短縮でき、またプロセスパケットの無駄な移動がなくなるので、消費電力を低減できる。

また、上述実施の形態において、演算処理ユニット102<sub>n</sub>（図9参照）では、演算部113がプロセスパケットPP<sub>b</sub>の処理を行っており、かつFIFOメモリ111より出力されるプロセスパケットPP<sub>a</sub>に係るプロセスがこの演算処理ユニット102<sub>n</sub>で実行されるものでないとき、切換スイッチ116はB側に接続される。したがって、そのプロセスパケットPP<sub>a</sub>は、直ちに切換スイッチ11

6のB側を介して、後段の演算処理ユニット（またはルート選択部、または集計部）に出力プロセスパケットとして供給されるので、処理時間を短縮できる。

また、演算部113がプロセスパケットPPbの処理を行っており、かつFIFOメモリ111より出力されるプロセスパケットPPaに係るプロセスがこの  
5 演算処理ユニット102で実行されるものであるとき、切換スイッチ116はOFF側に接続される。この場合、後段の演算処理ユニット（またはルート選択部、または集計部）には、ハイレベル「1」またはローレベル「0」のデータが供給される。これにより、後段に、誤ったプロセスパケット、例えばFIFOメモリ111より出力されるプロセスパケットPPaが供給されることを防止できる。

10 なお、上述実施の形態においては、この発明を動きベクトル検出装置に適用したものであるが、この発明は画像データを取り扱うその他の画像処理を行うものにも同様に適用できる。例えば、上述した動きベクトル検出装置と同様に画像データの差分演算を行い、その差分演算結果に基づいて参照フィールドに所定の画像あるいは文字が存在するかを検索する装置にも良好に適用できる。

15 また、上述においてフローチャートを参照して説明した処理ステップは、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理（例えば、並列処理あるいはオブジェクトによる処理）も含むものである。

この発明によれば、画像処理を行うための各プロセスを実行する命令を含む  
20 プロセスデータを、プロセスを実行する直列接続された複数個の実行手段を移動させていって画像処理を行うものにあつて、所定数の連続する実行手段の組毎に、その入力側にルート選択手段を挿入し、ルート選択手段は、入力プロセスデータに係るプロセスを直後に位置する組を構成する実行手段で実行しないときは、当該入力プロセスデータを当該直後に位置する組の出力側に供給するものであり、  
25 処理時間の短縮および消費電力の低減を図ることができる。

また、この発明によれば、画像処理を行うための各プロセスを実行する命令を含むプロセスデータを、プロセスを実行する直列接続された複数個の実行手段を移動させていって画像処理を行うものにあつて、実行手段は、入力プロセスデータに係るプロセスを自己が実行しないときは、当該入力プロセスデータをそのま



ま出力プロセスデータとして出力するものであり、処理時間の短縮を図ることができる。

#### 産業上の利用可能性

- 5     以上のように、この発明に係る画像処理装置は、処理時間の短縮および消費電力の低減を図ることができ、例えばブロックマッチングにより動きベクトルを検出する用途等に適用できる。

## 請 求 の 範 囲

1. 画像データを取り扱う画像処理を行うための各プロセスを生成し、該各プロセスを実行する命令を含むプロセスデータを順次出力するプロセス生成手段と、

5 上記プロセスデータに従って上記プロセスを実行する、直列接続された複数個の実行手段とを備え、

上記プロセスデータは、該プロセスデータに係るプロセスを実行するための実行手段のアドレスを含み、

10 所定数の連続する実行手段の組毎に、該組の入力側に、入力プロセスデータを該組の入力側または出力側に選択的に供給するルート選択手段が挿入され、

上記ルート選択手段は、

直後に位置する組を構成する各実行手段のアドレスを記憶する第1のアドレス記憶手段と、

15 入力プロセスデータに含まれる実行手段のアドレスに上記第1のアドレス記憶手段に記憶されているアドレスの少なくともいずれかが存在するとき一の状態となる判定信号を出力する第1のアドレス判定手段と、

20 上記第1のアドレス判定手段より出力される判定信号に基づき、上記判定信号が上記一の状態であるとき、上記入力プロセスデータを上記直後に位置する組の入力側に供給し、上記判定信号が上記一の状態でないとき、上記入力プロセスデータを上記直後に位置する組の出力側に供給する第1の切り換え手段とを有することを特徴とする画像処理装置。

2. 上記複数個の実行手段のそれぞれは、

25 入力プロセスデータに含まれる命令に従って画像データの処理を行い、その処理結果に基づいて上記入力プロセスデータを変更して出力すべきプロセスデータを得ると共に、該出力すべきプロセスデータを出力するとき一の状態となる要求信号を出力する処理手段と、

自己のアドレスを記憶する第2のアドレス記憶手段と、

上記入力プロセスデータに含まれる実行手段のアドレスに上記第2のアドレス

記憶手段に記憶されている自己のアドレスが存在するとき一の状態となる判定信号を出力する第2のアドレス判定手段と、

上記第2のアドレス判定手段より出力される判定信号および上記処理手段より出力される要求信号に基づき、上記要求信号が上記一の状態であるとき、上記処理手段で得られた出力すべきプロセスデータを出力プロセスデータとして出力し、  
5 上記要求信号が上記一の状態でなく、かつ上記判定信号が上記一の状態でないとき、上記入力プロセスデータを出力プロセスデータとして出力する第2の切り換え手段とを有する

ことを特徴とする請求の範囲第1項に記載の画像処理装置。

10

3. 上記複数の実行手段のそれぞれは、画像データを記憶するデータ記憶手段をさらに有し、

上記処理手段は、上記画像データの処理として、上記データ記憶手段への画像データの書き込み、該データ記憶手段からの画像データの読み出し、または画像  
15 データの差分の演算のうちいずれかの処理を行う

ことを特徴とする請求の範囲第2項に記載の画像処理装置。

4. 上記第2の切り換え手段は、

上記要求信号が上記一の状態でなく、かつ上記判定信号が上記一の状態である  
20 ときは、ハイレベルまたはローレベルのデータを出力する

ことを特徴とする請求の範囲第2項に記載の画像処理装置。

5. 上記画像処理は、動きベクトルを検出する処理である

ことを特徴とする請求の範囲第1項に記載の画像処理装置。

25

6. 画像データを取り扱う画像処理を行うための各プロセスを生成し、該各プロセスを実行する命令を含むプロセスデータを順次出力するプロセス生成手段と、

上記プロセスデータに従って上記プロセスを実行する、直列接続された複数の実行手段とを備え、

上記プロセスデータは、該プロセスデータに係るプロセスを実行するための実行手段のアドレスを含み、

上記複数個の実行手段のそれぞれは、

- 5 入力プロセスデータに含まれる命令に従って画像データの処理を行って、その処理結果に基づいて上記入力プロセスデータを変更して出力すべきプロセスデータを得ると共に、該出力すべきプロセスデータを出力するとき一の状態となる要求信号を出力する処理手段と、

自己のアドレスを記憶するアドレス記憶手段と、

- 10 上記入力プロセスデータに含まれる実行手段のアドレスに上記アドレス記憶手段に記憶されている自己のアドレスが存在するとき一の状態となる判定信号を出力するアドレス判定手段と、

- 15 上記アドレス判定手段より出力される判定信号および上記処理手段より出力される要求信号に基づき、上記要求信号が上記一の状態であるとき、上記処理手段で得られた出力すべきプロセスデータを出力プロセスデータとして出力し、上記要求信号が上記一の状態でなく、かつ上記判定信号が上記一の状態でないとき、上記入力プロセスデータを出力プロセスデータとして出力する切り換え手段とを有する

ことを特徴とする画像処理装置。

- 20 7. 上記複数個の実行手段のそれぞれは、画像データを記憶するデータ記憶手段をさらに有し、

上記処理手段は、上記画像データの処理として、上記データ記憶手段への画像データの書き込み、該データ記憶手段からの画像データの読み出し、または画像データの差分の演算のうちいずれかの処理を行う

- 25 ことを特徴とする請求の範囲第6項に記載の画像処理装置。

8. 上記切り換え手段は、

上記要求信号が上記一の状態でなく、かつ上記判定信号が上記一の状態であるときは、ハイレベルまたはローレベルのデータを出力する

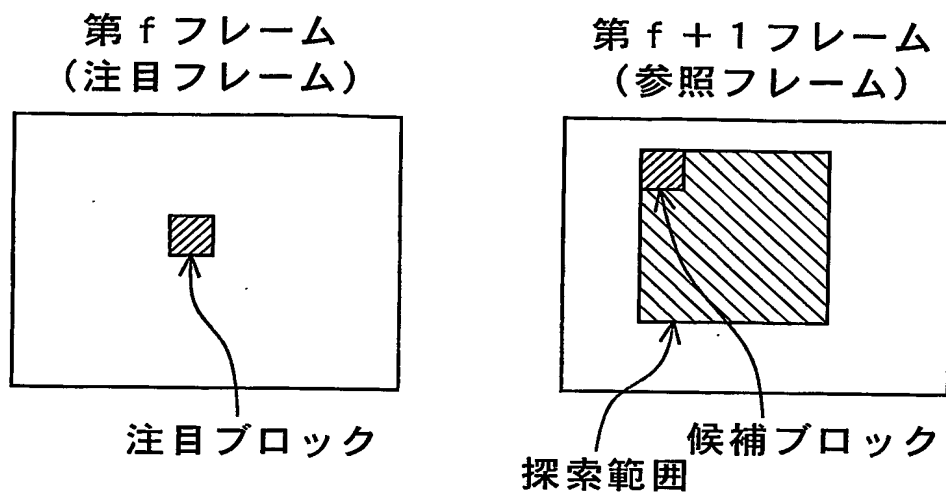
ことを特徴とする請求の範囲第 6 項に記載の画像処理装置。

9. 上記画像処理は、動きベクトルを検出する処理である

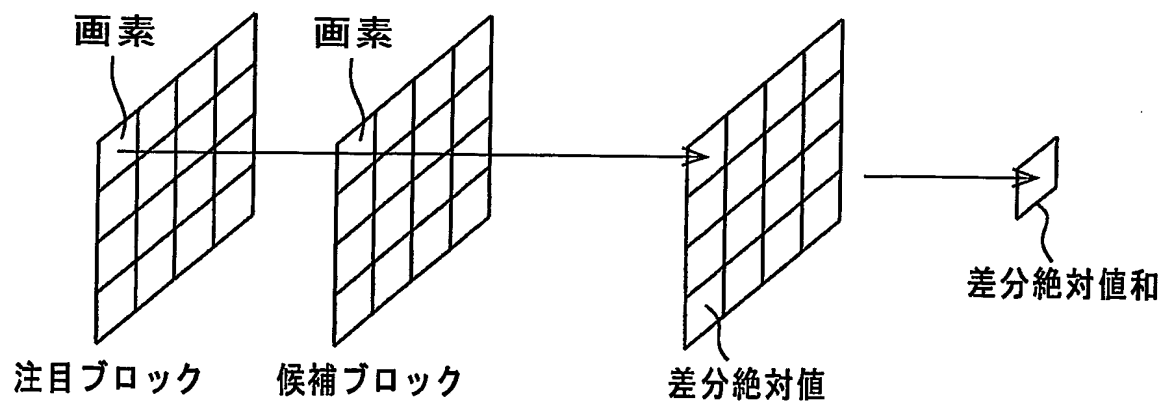
ことを特徴とする請求の範囲第 6 項に記載の画像処理装置。

1 / 1 4

F I G . 1

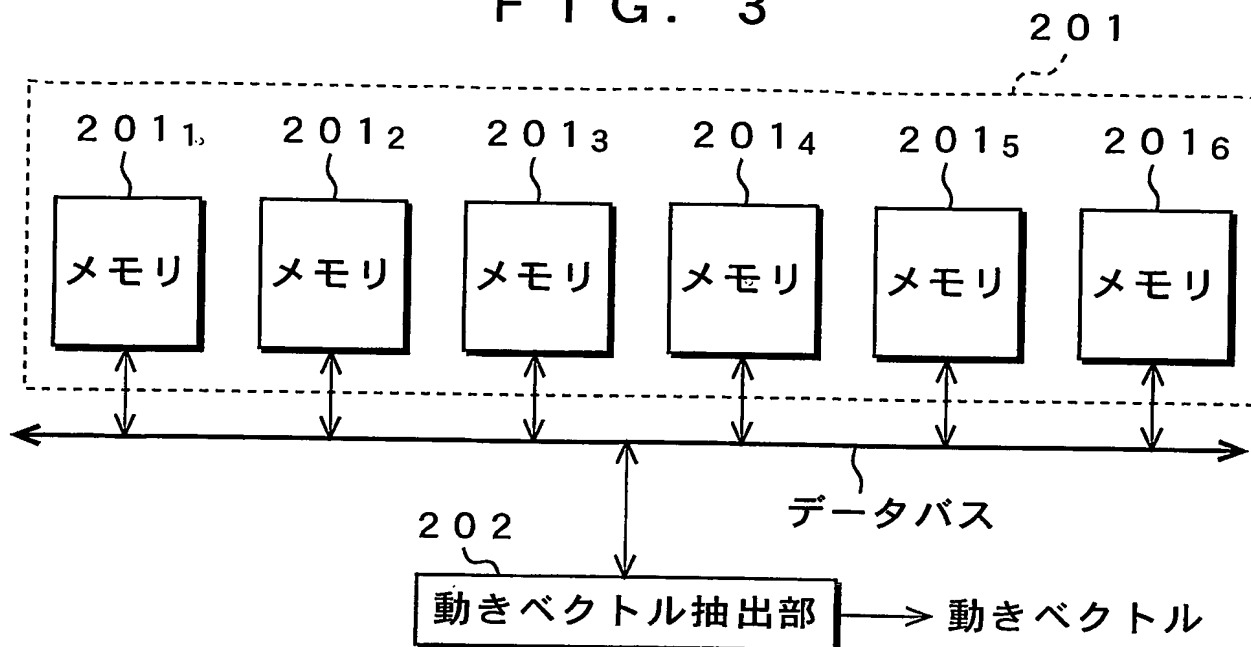


F I G . 2



2 / 1 4

F I G . 3



F I G . 4

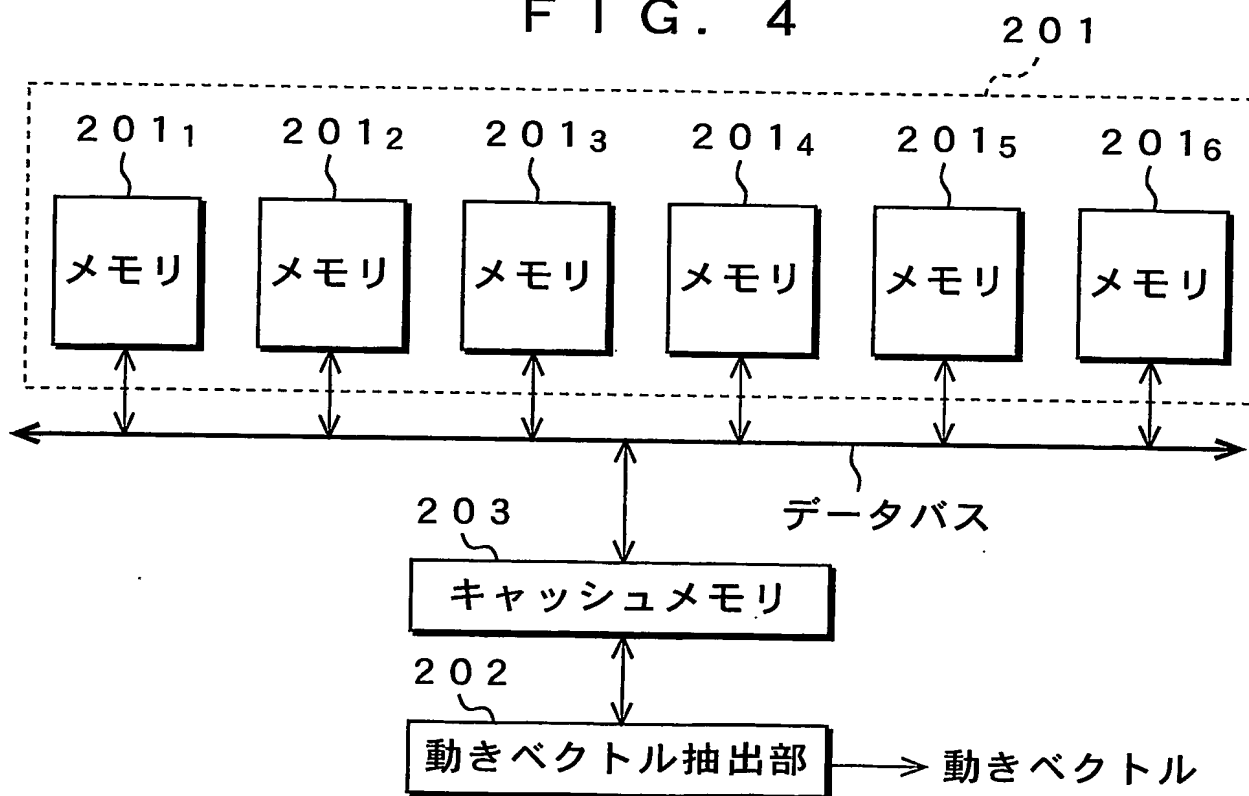


FIG. 5

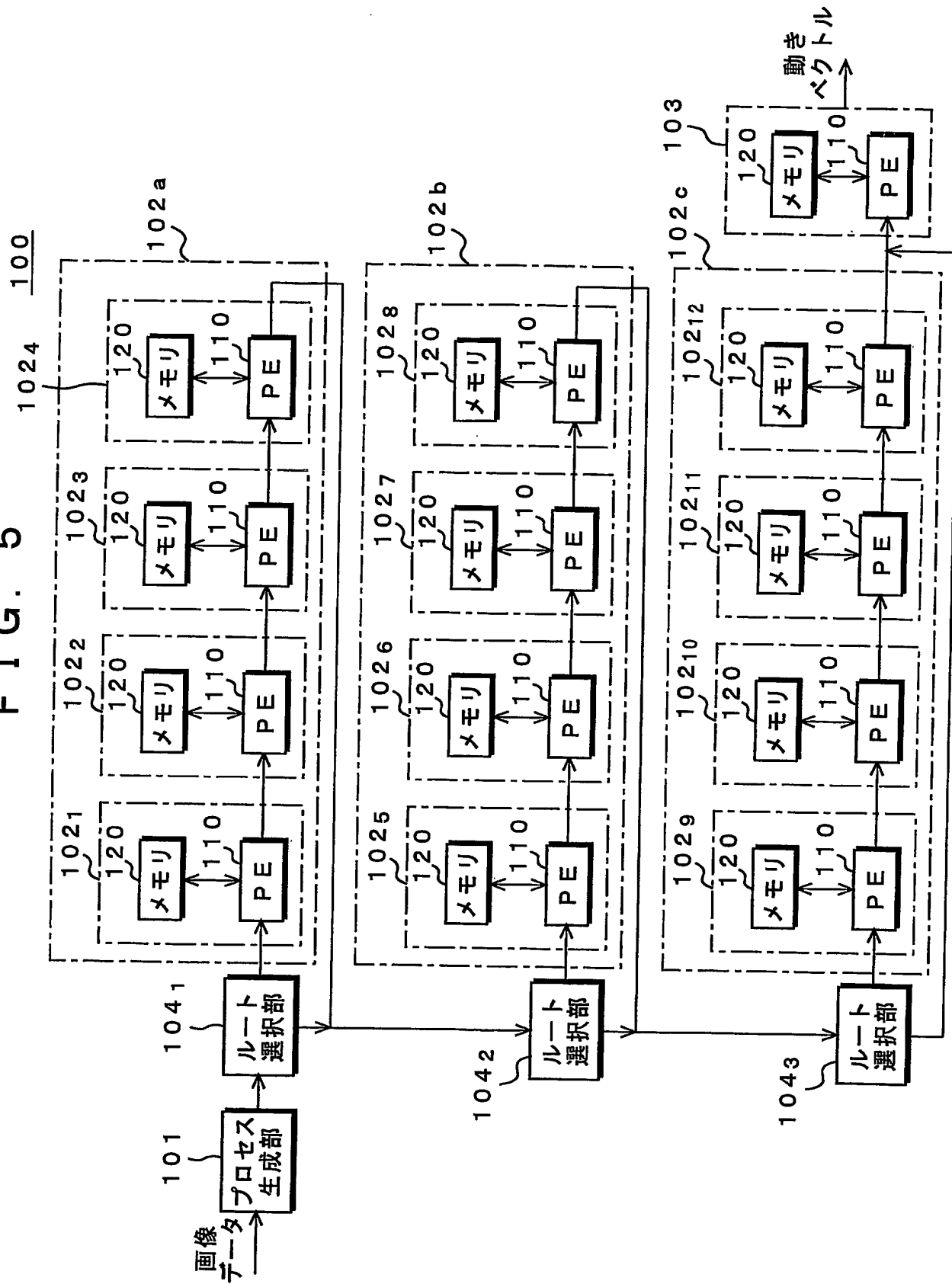
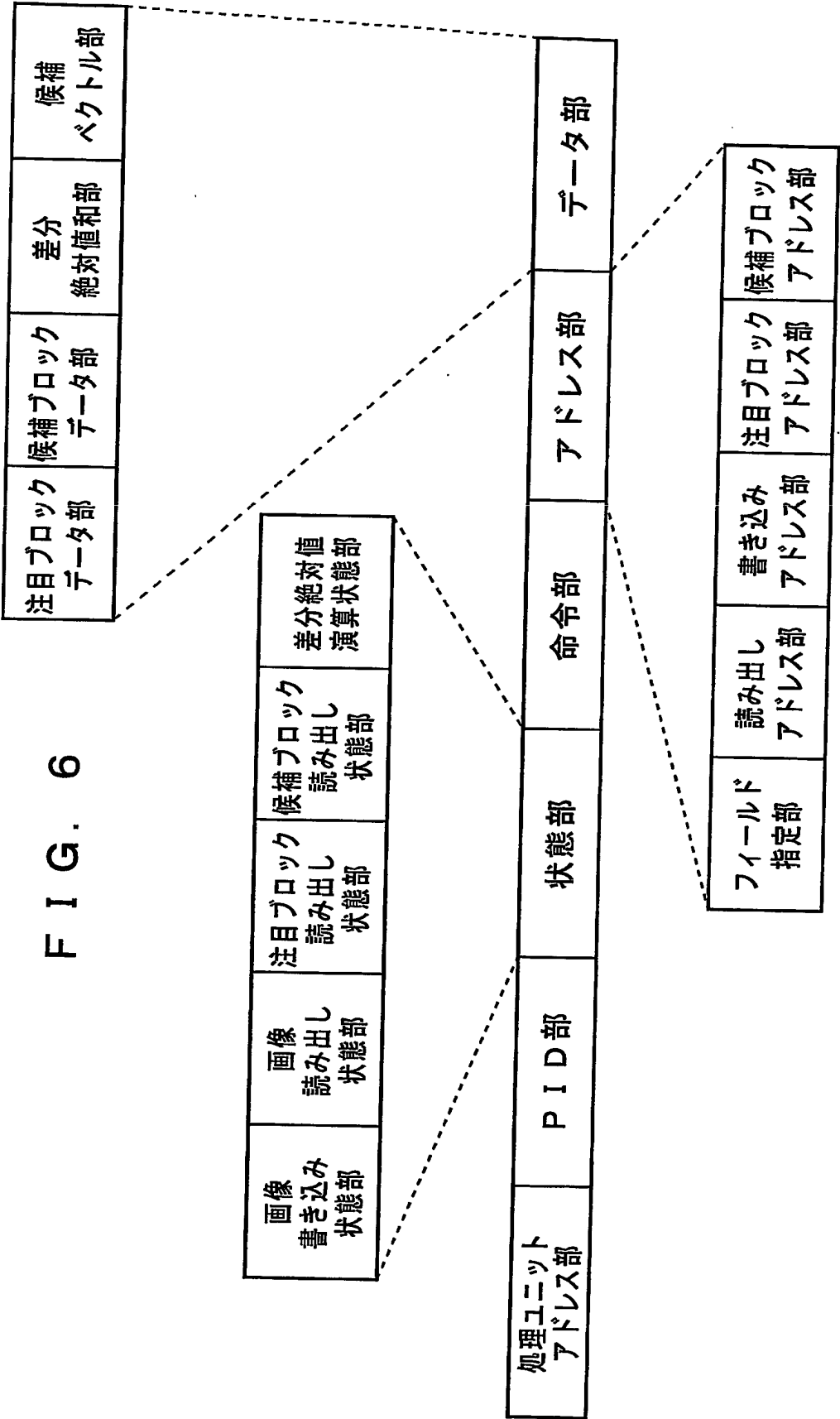


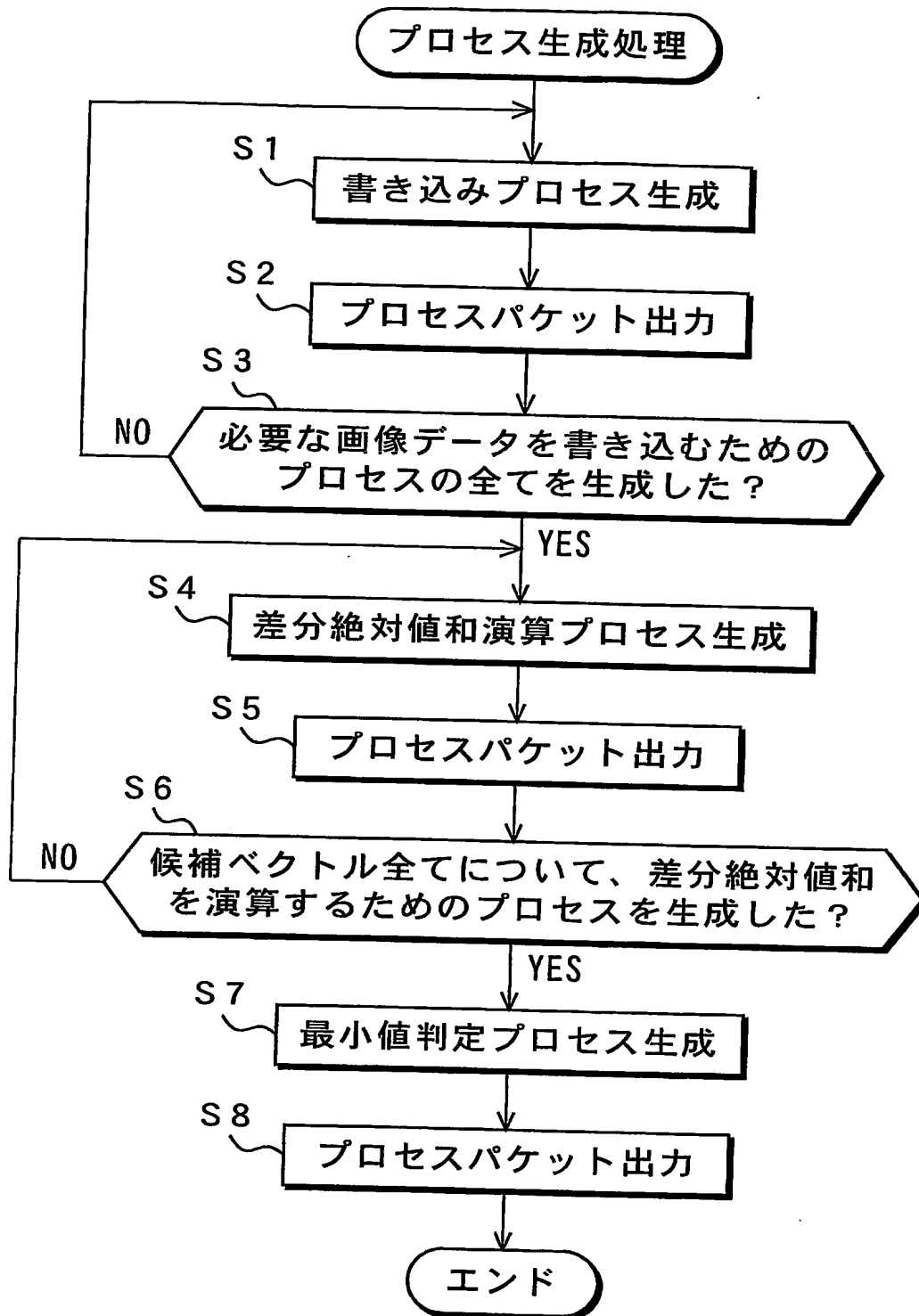


FIG. 6



5 / 1 4

## F I G . 7



6 / 14

FIG. 8

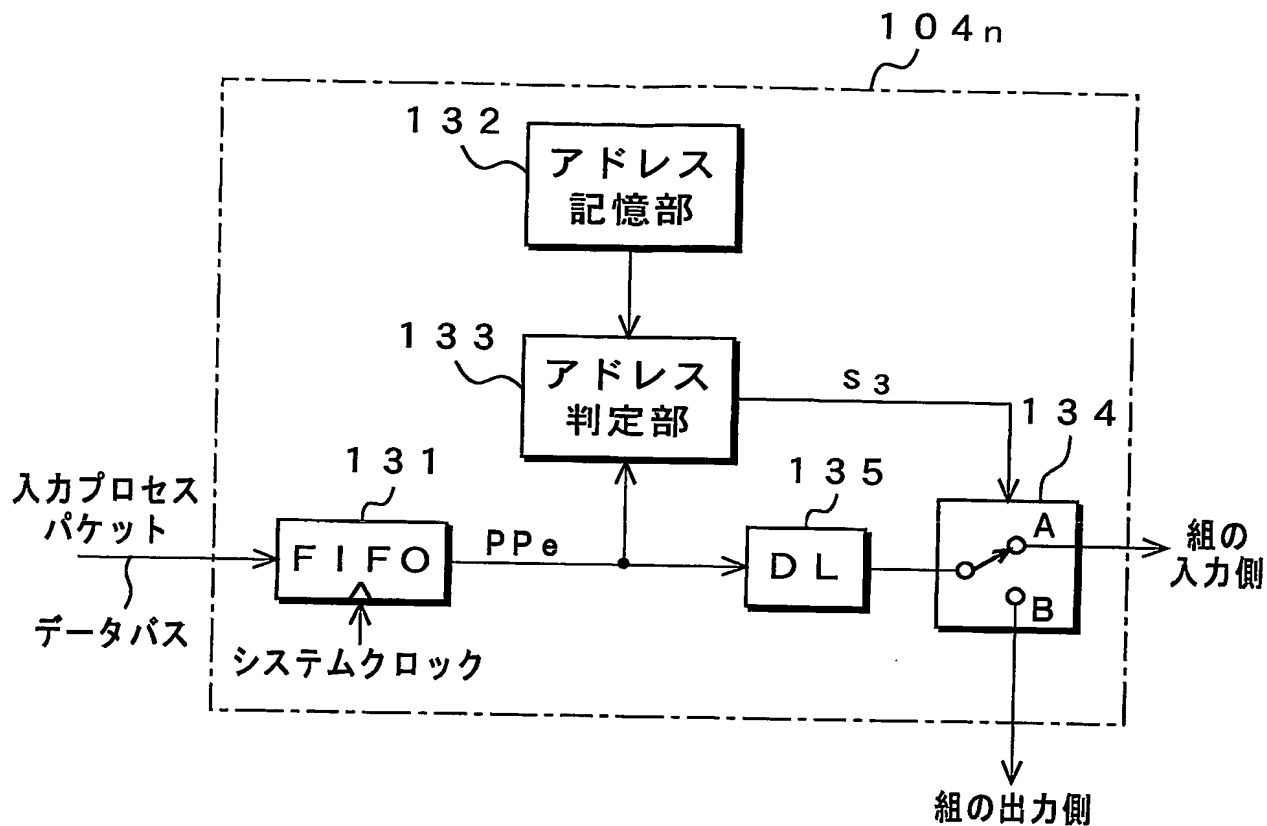
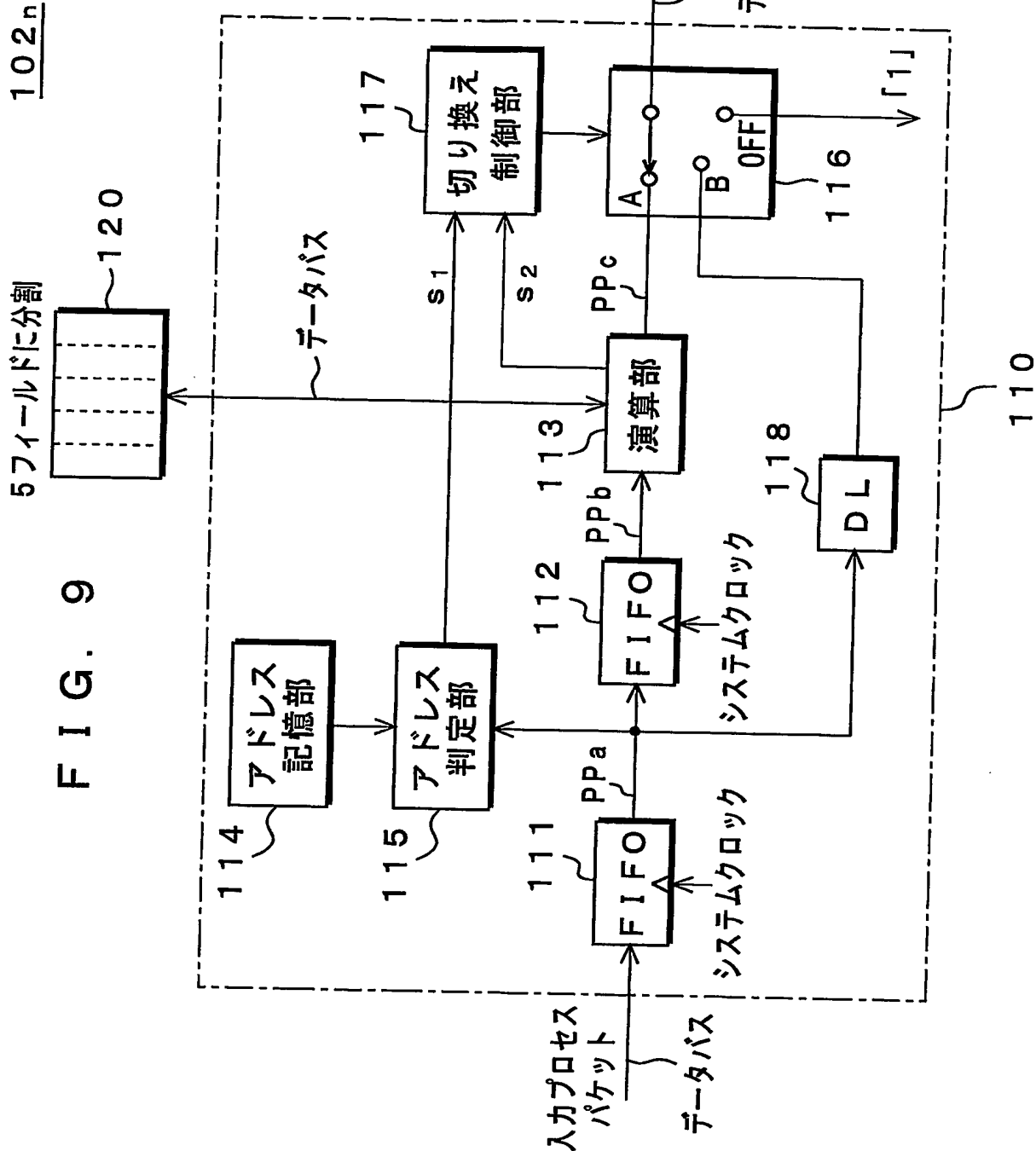


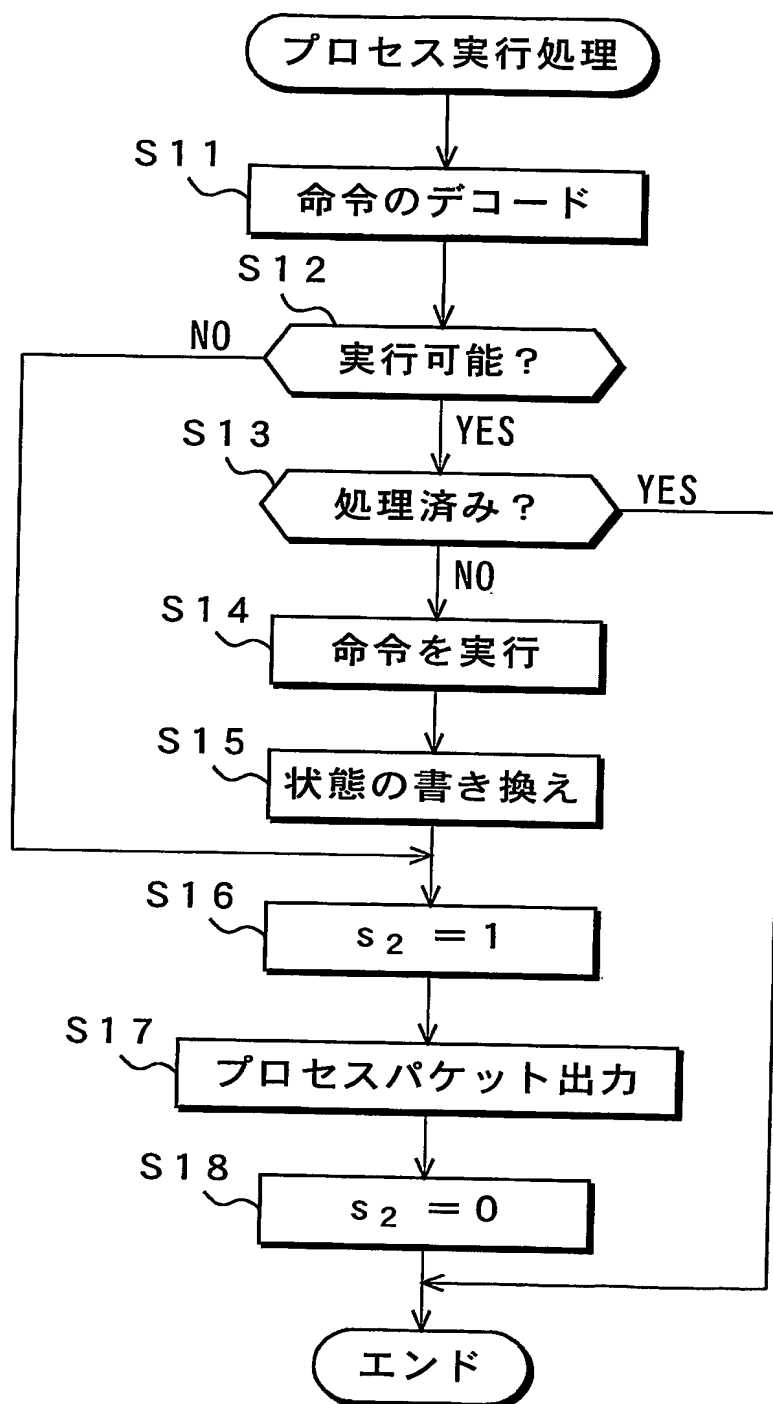
FIG. 10

判定信号 S <sub>1</sub>	要求信号 S <sub>2</sub>	切換スイッチ 116
0	0	B
0	1	A
1	0	OFF
1	1	A



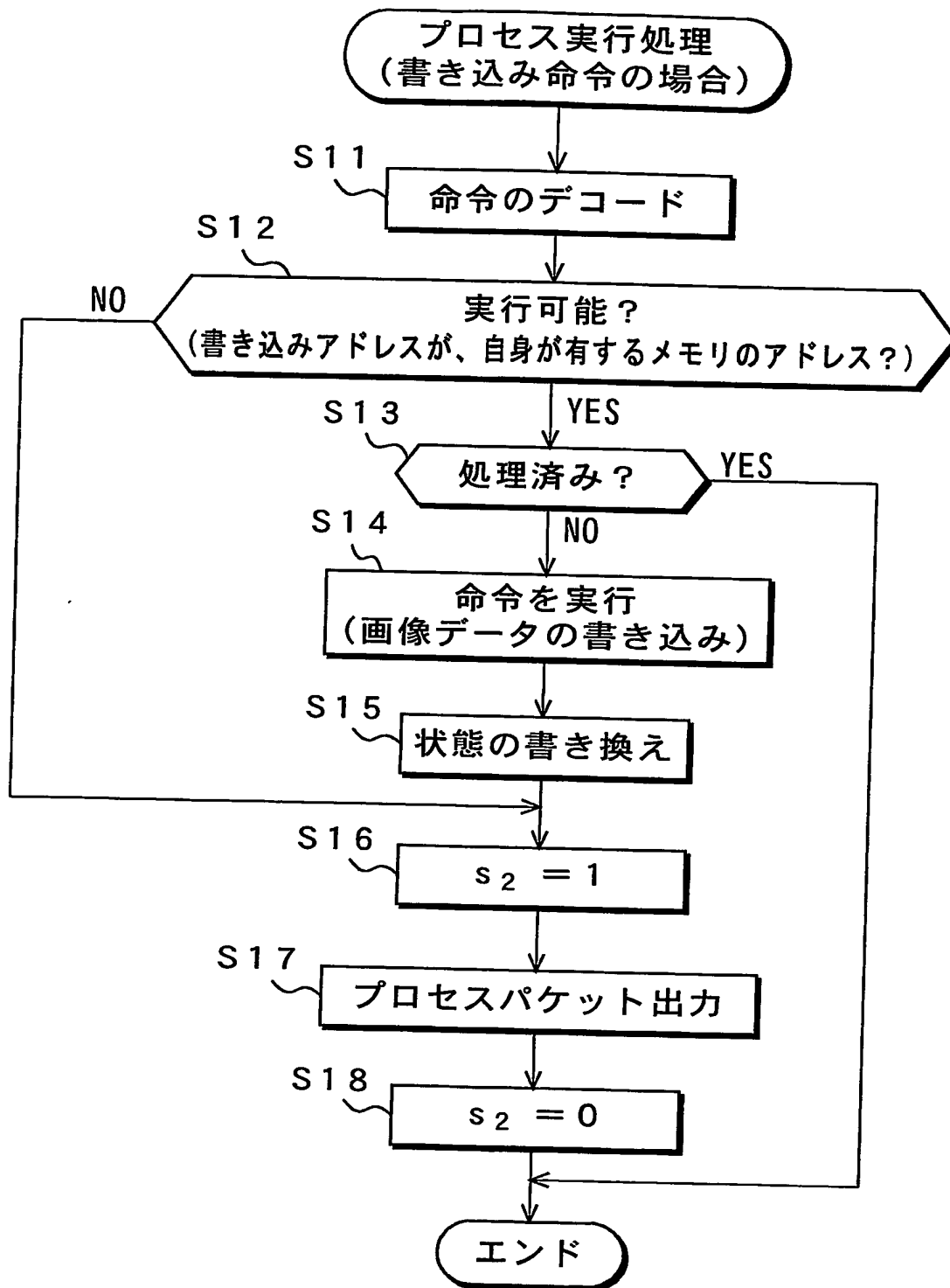
8 / 1 4

F I G . 1 1



9 / 1 4

F I G . 1 2



10/14

FIG. 13A

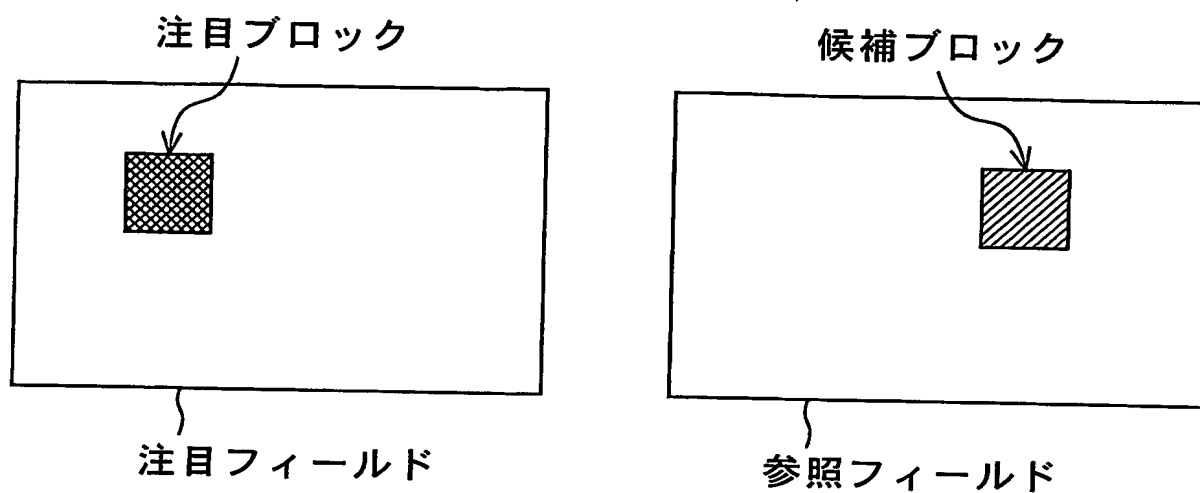
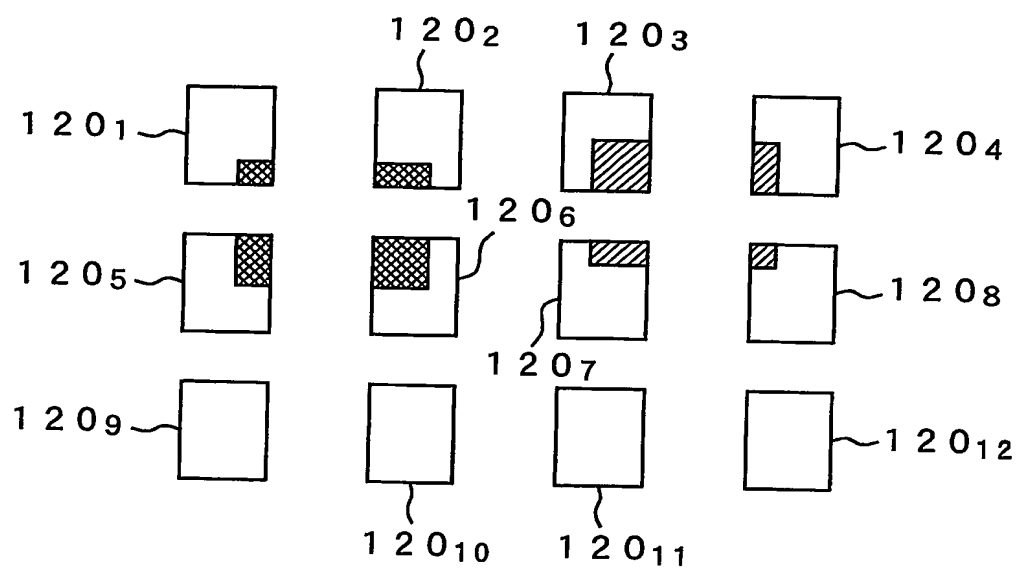
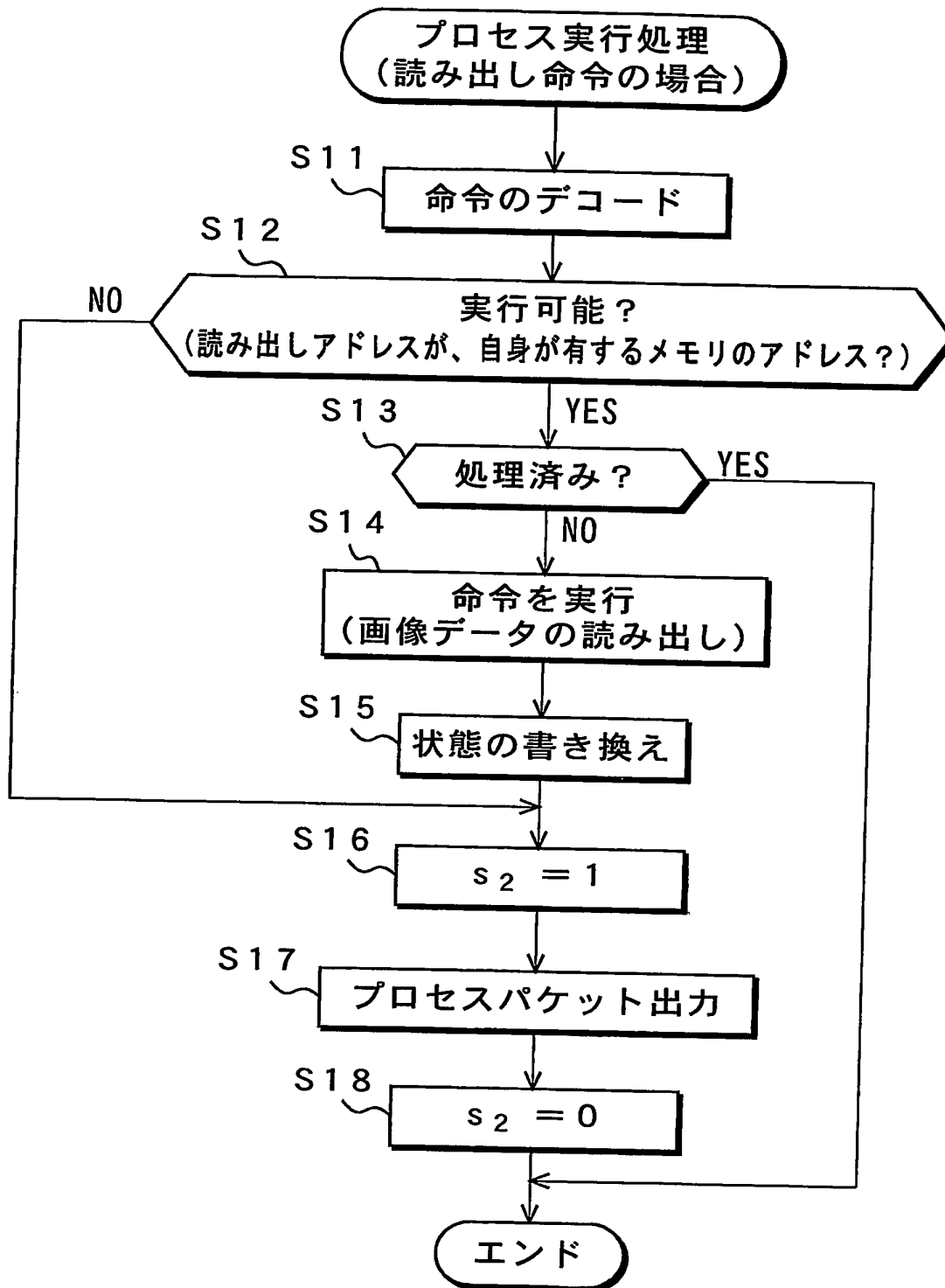


FIG. 13B



11 / 14

FIG. 14





12 / 14

## FIG. 15

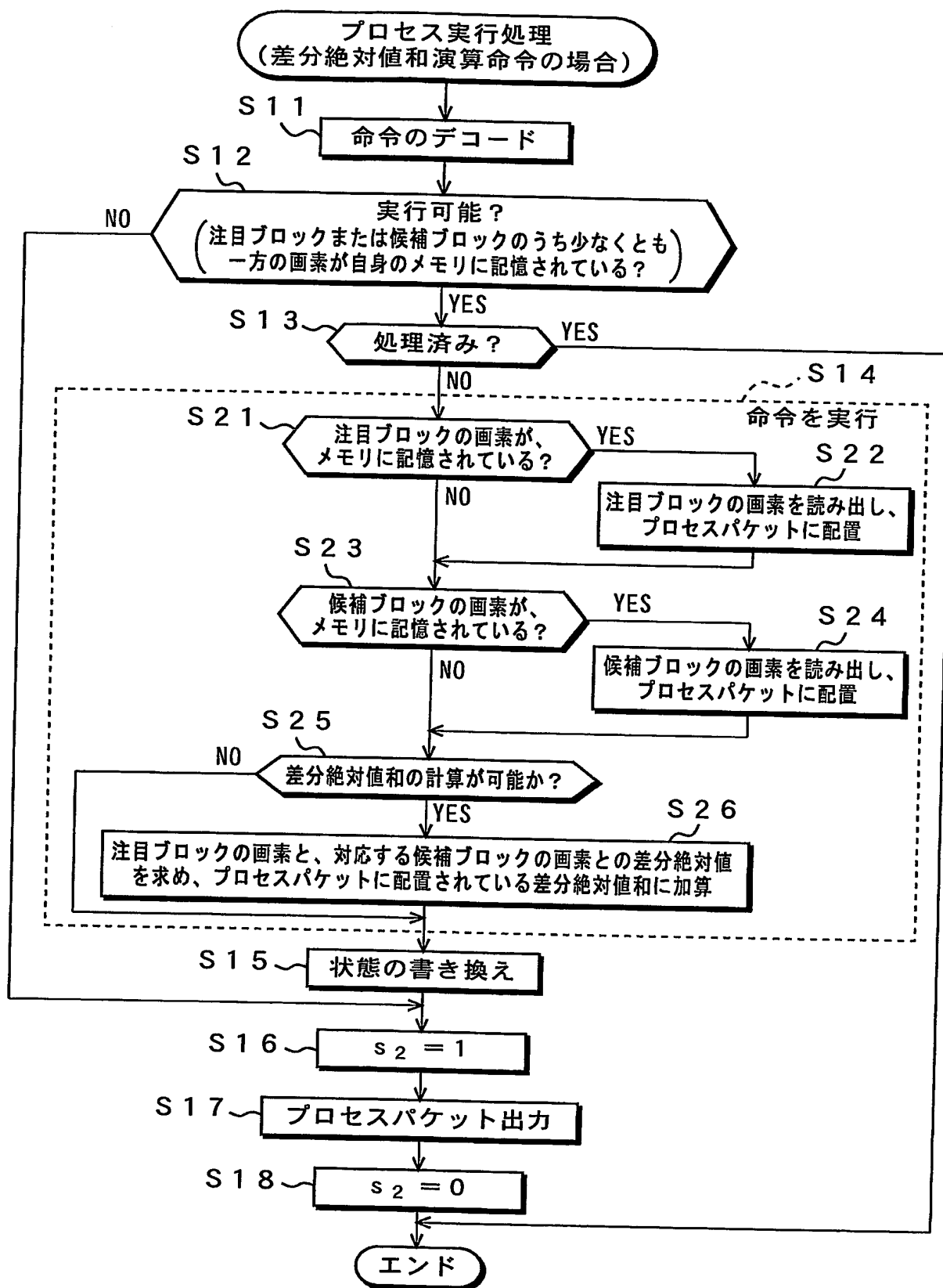
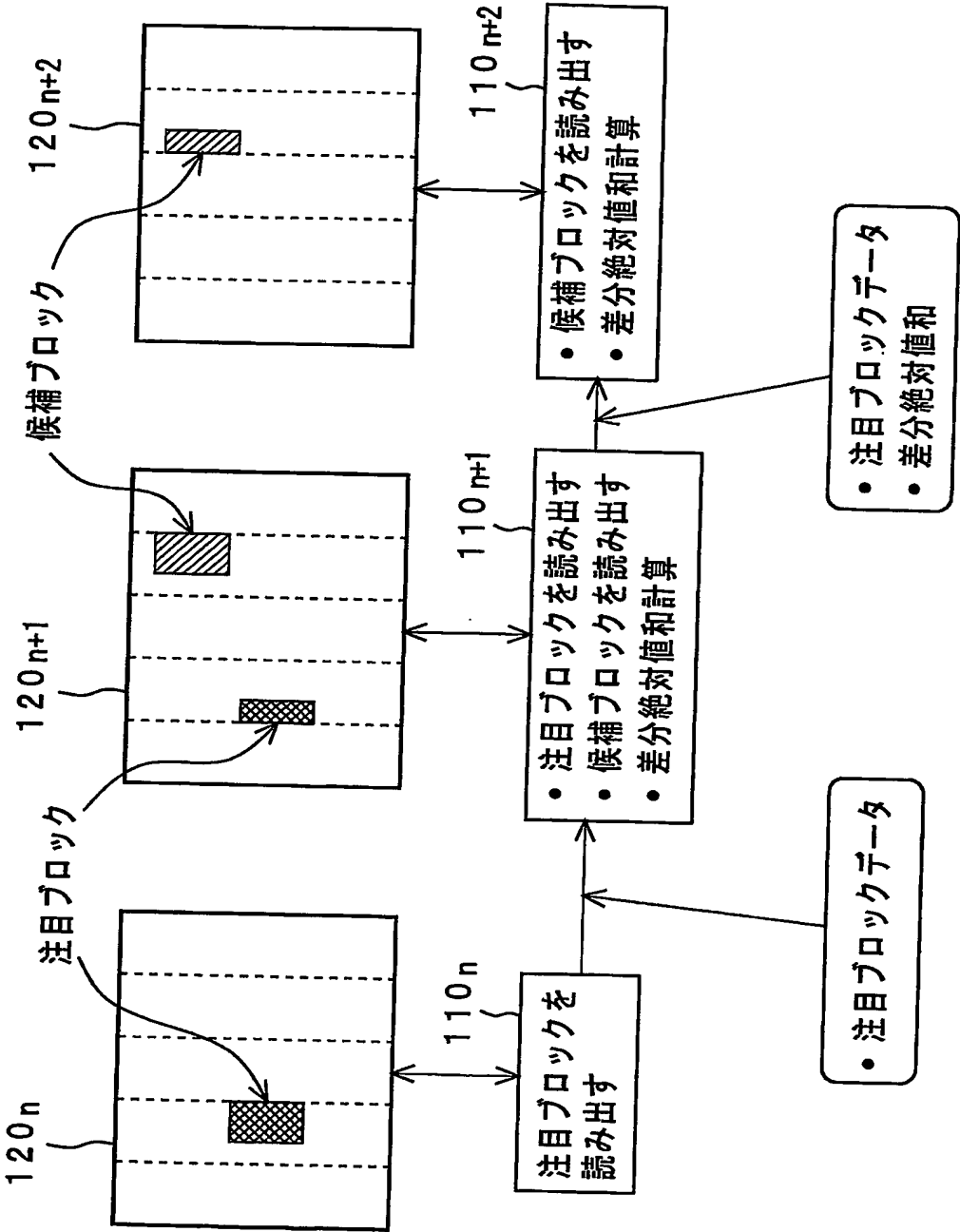


FIG. 16



14 / 14

FIG. 17A

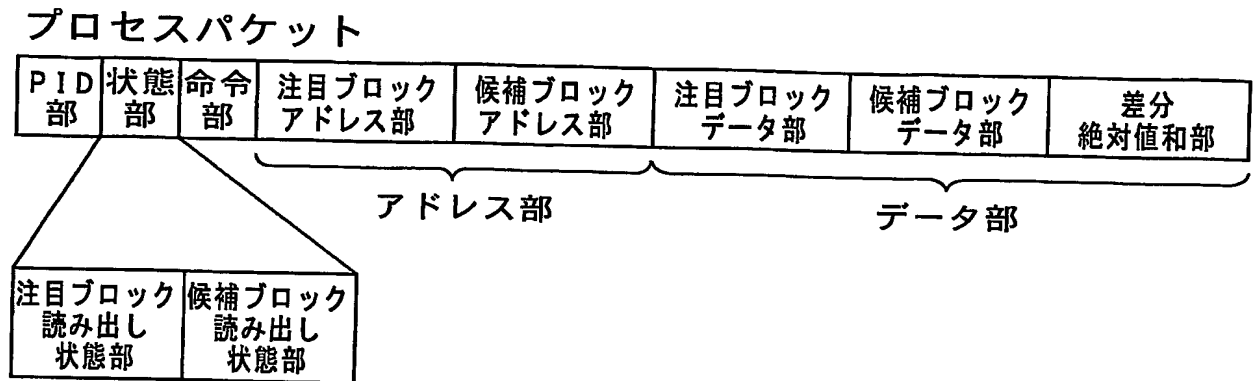
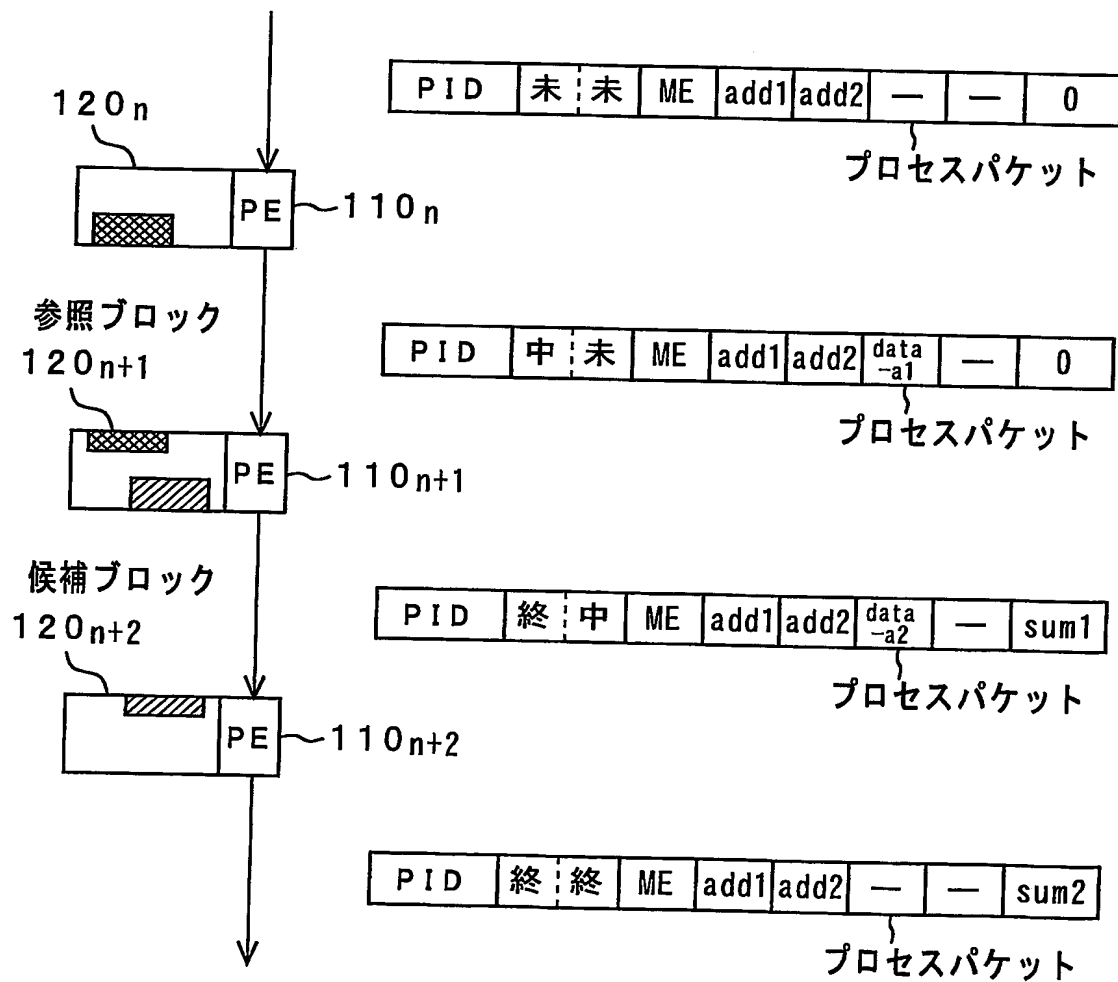


FIG. 17B



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15976

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G06T1/20, G06T7/20, H04N7/36

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G06T1/20, G06T7/20, H04N7/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, A	JP 2004-80295 A (Sony Corp.), 11 March, 2004 (11.03.04), Full text; all drawings (Family: none)	1-5
A	JP 8-161271 A (Kabushiki Kaisha Komu System), 21 June, 1996 (21.06.96), Full text; all drawings (Family: none)	6-9
A	JP 8-171536 A (Kabushiki Kaisha Komu System), 02 July, 1996 (02.07.96), Full text; all drawings (Family: none)	6-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
12 March, 2004 (12.03.04)

Date of mailing of the international search report  
23 March, 2004 (23.03.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15976

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-283211 A (Riso Kagaku Corp.), 12 October, 2001 (12.10.01), Full text; all drawings & US 2002/0082716 A1	6-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>1</sup> G06T 1/20, G06T 7/20, H04N 7/36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>1</sup> G06T 1/20, G06T 7/20, H04N 7/36

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EA	JP 2004-80295 A (ソニー株式会社) 2004. 03. 11 (ファミリーなし) 全文、全図	1-5
A	JP 8-161271 A (株式会社コムシステム) 1996. 06. 21 (ファミリーなし) 全文、全図	6-9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

12. 03. 04

国際調査報告の発送日

23. 3. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

真木 健彦



5H

9569

電話番号 03-3581-1101 内線 3531

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-171536 A (株式会社コムシステム) 1996.07.02 (ファミリーなし) 全文、全図	6-9
A	JP 2001-283211 A (理想科学工業株式会社) 2001.10.12 全文、全図 & US 2002/0082716 A1	6-9